|  |
| --- |
| ЮКСУ.431295.019Д4.21-УД |

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ

К5500ВК018

Указания по применению

Часть 22

Контроллер ведомого интерфейса EtherCAT

ЮКСУ.431295.019Д4.21

|  |  |
| --- | --- |
| Литера |  |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| М-3140-1 |  |  |  |  |
| Инв № подл | Подпись и дата | Взам инв № | Инв № дубл | Подпись и дата |

Настоящий документ является 22-й частью «Указаний по применению» микросхемы интегральной К5500ВК018.

Документ ЮКСУ.431295.019Д4.21 содержит следующие части:

|  |  |  |
| --- | --- | --- |
| Часть 1 | (ЮКСУ.431295.019Д4) | Технические характеристики |
| Часть 2 | (ЮКСУ.431295.019Д4.1) | Ядро микропроцессора |
| Часть 3 | (ЮКСУ.431295.019Д4.2) | Системный контроллер |
| Часть 4 | (ЮКСУ.431295.019Д4.3) | Блок конфигурационных регистров системного контроллера |
| Часть 5 | (ЮКСУ.431295.019Д4.4) | Блок таймеров |
| Часть 6 | (ЮКСУ.431295.019Д4.5) | Контроллер прерываний |
| Часть 7 | (ЮКСУ.431295.019Д4.6) | Контроллер динамической памяти |
| Часть 8 | (ЮКСУ.431295.019Д4.7) | Контроллер DMA |
| Часть 9 | (ЮКСУ.431295.019Д4.8) | Блок защиты адресных пространств (MPU) |
| Часть 10 | (ЮКСУ.431295.019Д4.9) | Контроллер Fast Ethernet |
| Часть 11 | (ЮКСУ.431295.019Д4.10) | Контроллер UART |
| Часть 12 | (ЮКСУ.431295.019Д4.11) | Контроллеры SPI и QSPI |
| Часть 13 | (ЮКСУ.431295.019Д4.12) | Контроллеры I2C и I3C |
| Часть 14 | (ЮКСУ.431295.019Д4.13) | Контроллер SD |
| Часть 15 | (ЮКСУ.431295.019Д4.14) | Контроллер USB |
| Часть 16 | (ЮКСУ.431295.019Д4.15) | Контроллер CAN |
| Часть 17 | (ЮКСУ.431295.019Д4.16) | Контроллер часов реального времени (RTC) |
| Часть 18 | (ЮКСУ.431295.019Д4.17) | Контроллеры ЦАП и АЦП |
| Часть 19 | (ЮКСУ.431295.019Д4.18) | Контроллер QDEC |
| Часть 20 | (ЮКСУ.431295.019Д4.19) | Контроллер GPIO |
| Часть 21 | (ЮКСУ.431295.019Д4.20) | Контроллер JTAG |
| Часть 22 | (ЮКСУ.431295.019Д4.21) | Контроллер ведомого интерфейса EtherCAT |

В тексте указаний по применению используются следующие сокращения:

ЭВМ – Электронно-вычислительная машина;

ФАПЧ – Фа́зовая автоподстро́йка частоты;

ALU– Arithmetic and Logic Unit (Арифметико-логическое устройство (АЛУ));

AXI – Advanced eXtensible Interface;

COM порт – Communication port (Двунаправленный последовательный интерфейс, предназначенный для обмена битовой информацией по стандарту RS-232C).

DDR SDRAM – Double Data Rate Synchronous Dynamic Random Access Memory (Синхронная динамическая память с произвольным доступом и удвоенной скоростью передачи данных);

DMA– Direct Memory Access (Прямой Доступ к Памяти (ПДП));

FIFO – First In First Out (Буфер типа очередь, "первый пришел – первый ушел");

FPU – Floating point unit;

GPIO – General-Purpose Input/Output (Интерфейс ввода/вывода общего назначения);

JTAG – Joint Test Action Group and Boundary-Scan Architecture (Интерфейс для подключения цифровых микросхем к аппаратуре тестирования и отладки)

I2C – Inter-Integrated Circuit (Низкоскоростная последовательная шина данных);

MMU – Memory management unit;

MPU – Memory Protection Unit (Блок защиты памяти);

NAND – Логическая операция «not and» (и-не);

PCI – Peripheral Component Interconnect (Скоростная синхронная локальная шина);

RIO– Rapid Input Output (RapidIO, РИО);

RTC – Real Time Clock (Контроллер часов реального времени);

SMB – System Management Bus (Шина системного управления);

SPI – Serial Peripheral Interface (Последовательный периферийный интерфейс);

UART – Universal Asynchronous Receiver/Transmitter (Универсальный асинхронный приёмопередатчик);

USB – Universal Serial Bus (Универсальная последовательная шина);

Содержание

[МИКРОСХЕМА ИНТЕГРАЛЬНАЯ 1](#_Toc51076813)

[К5500ВК018 1](#_Toc51076814)

[Указания по применению 1](#_Toc51076815)

[Часть 22 1](#_Toc51076816)

[Контроллер ведомого интерфейса EtherCAT 1](#_Toc51076817)

[ЮКСУ.431295.019Д4.21 1](#_Toc51076818)

[Содержание 4](#_Toc51076819)

[1 Назначение контроллера ESC 9](#_Toc51076820)

[2 Описание работы контроллера ESC 14](#_Toc51076821)

[2.1 Описание работы блока MAC 14](#_Toc51076822)

[2.1.1 RX-MII (autoforwarder) 14](#_Toc51076823)

[2.1.2 ТX-MII 14](#_Toc51076824)

[2.1.3 MI MII 15](#_Toc51076825)

[2.1.4 Адресация PHY 17](#_Toc51076826)

[2.1.5 Link Management 17](#_Toc51076827)

[2.1.6 PHY Reset 20](#_Toc51076828)

[2.2 Описание работы блока FMMU (Fieldbus Memory Management Unit). 21](#_Toc51076829)

[2.3 Описание работы блока SyncManager 23](#_Toc51076830)

[2.4 Описание работы блока DC 27](#_Toc51076831)

[2.4.1 Описание работы блока Receive Times. 29](#_Toc51076832)

[2.4.2 Описание работы блока Time Loop Control Unit. 29](#_Toc51076833)

[2.4.3 Описание работы блока SyncOutUnit. 30](#_Toc51076834)

[2.4.4 Описание работы блока LatchEventUnit. 33](#_Toc51076835)

[2.5 Описание блока прерываний 35](#_Toc51076836)

[2.6 Описание блока сторожевых таймеров 38](#_Toc51076837)

[2.7 Описание блока мониторинга 39](#_Toc51076838)

[2.8 Описание блока индикаторов состояния 40](#_Toc51076839)

[2.9 Описание работы блока SII EEPROM 40](#_Toc51076840)

[2.10 Защита от записи регистров контроллера 44](#_Toc51076841)

[3 Описание регистров контроллера ESC 45](#_Toc51076842)

[3.1 Перечень регистров контроллера 46](#_Toc51076843)

[3.2 Описание регистров CSR 54](#_Toc51076844)

[3.2.1 Регистр Type (0x0000) 54](#_Toc51076845)

[3.2.2 Регистр Revision (0x0001) 54](#_Toc51076846)

[3.2.3 Регистр Build (0x0002:0x0003) 54](#_Toc51076847)

[3.2.4 Регистр FMMUs supported (0x0004) 54](#_Toc51076848)

[3.2.5 Регистр SyncManagers supported (0x0005) 55](#_Toc51076849)

[3.2.6 Регистр RAM Size (0x0006) 55](#_Toc51076850)

[3.2.7 Регистр Port Descriptor (0x0007) 55](#_Toc51076851)

[3.2.8 Регистр ESC Features supported (0x0008:0x0009) 56](#_Toc51076852)

[3.2.9 Регистр Configured Station Address (0x0010:0x0011) 57](#_Toc51076853)

[3.2.10 Регистр Configured Station Alias (0x0012:0x0013) 58](#_Toc51076854)

[3.2.11 Регистр Write Register Enable (0x0020) 58](#_Toc51076855)

[3.2.12 Регистр Write Register Protection (0x0021) 58](#_Toc51076856)

[3.2.13 Регистр ESC Write Enable (0x0030) 59](#_Toc51076857)

[3.2.14 Регистр ESC Write Protection (0x0031) 59](#_Toc51076858)

[3.2.15 Регистр ESC Reset ECAT (0x0040) 59](#_Toc51076859)

[3.2.16 Регистр *ESC Reset PDI (*0x0041) 60](#_Toc51076860)

[3.2.17 Регистр ESC DL Control (0x0100:0x0103) 61](#_Toc51076861)

[3.2.18 Регистр Physical Read/Write Offset (0x0108:0x0109) 63](#_Toc51076862)

[3.2.19 Регистр *ESC DL Status* (0x0110:0x0111) 63](#_Toc51076863)

[3.2.20 Регистр AL Control (0x0120:0x0121) 65](#_Toc51076864)

[3.2.21 Регистр AL Status (0x0130:0x0131) 66](#_Toc51076865)

[3.2.22 Регистр AL Status Code (0x0134:0x0135) 67](#_Toc51076866)

[3.2.23 Регистр RUN LED Override (0x0138) 67](#_Toc51076867)

[3.2.24 Регистр ERR LED Override (0x0139) 68](#_Toc51076868)

[3.2.25 Регистр PDI Control (0x0140) 69](#_Toc51076869)

[3.2.26 Регистр ESC Configuration (0x0141) 69](#_Toc51076870)

[3.2.27 Регистр PDI Information (0x014E:0x014F) 71](#_Toc51076871)

[3.2.28 Регистр PDI Configuration (0x0150) 71](#_Toc51076872)

[3.2.29 Регистр Sync/Latch[1:0] PDI Configuration (0x0151) 72](#_Toc51076873)

[3.2.30 Регистр PDI On-chip bus extended configuration (0x0152:0x0153) 73](#_Toc51076874)

[3.2.31 Регистр ECAT Event Mask (0x0200:0x0201) 73](#_Toc51076875)

[3.2.32 Регистр PDI AL Event Mask (0x0204:0x0207) 74](#_Toc51076876)

[3.2.33 Регистр ECAT Event Request (0x0210:0x0211) 74](#_Toc51076877)

[3.2.34 Регистр PDI AL Event Request (0x0220:0x0223) 76](#_Toc51076878)

[3.2.35 Регистр RX Error Counter 0 (0x0300:0x0301) 77](#_Toc51076879)

[3.2.36 Регистр RX Error Counter 1 (0x0302:0x0303) 78](#_Toc51076880)

[3.2.37 Регистр Forwarded RX Error Counter Port 0 (0x0308) 78](#_Toc51076881)

[3.2.38 Регистр Forwarded RX Error Counter Port 1 (0x0309) 79](#_Toc51076882)

[3.2.39 Регистр ECAT Processing Unit Error Counter (0x030С) 79](#_Toc51076883)

[3.2.40 Регистр PDI Error Counter (0x030D) 80](#_Toc51076884)

[3.2.41 Регистр PDI Error Code (0x030E) 80](#_Toc51076885)

[3.2.42 Регистр Lost Link Counter 0 (0x0310:0x0313) 80](#_Toc51076886)

[3.2.43 Регистр Lost Link Counter1 (0x0311) 81](#_Toc51076887)

[3.2.44 Регистр Watchdog Divider (0x0400:0x0401) 81](#_Toc51076888)

[3.2.45 Регистр Watchdog Time PDI (0x0410:0x0411) 82](#_Toc51076889)

[3.2.46 Регистр Watchdog Time Process Data (0x0420:0x0421) 82](#_Toc51076890)

[3.2.47 Регистр Watchdog Status Process Data (0x0440:0x0441) 82](#_Toc51076891)

[3.2.48 Регистр Watchdog Counter Process Data (0x0442) 83](#_Toc51076892)

[3.2.49 Регистр Watchdog Counter PDI (0x0443) 83](#_Toc51076893)

[3.2.50 Регистр EEPROM Configuration (0x0500) 84](#_Toc51076894)

[3.2.51 Регистр EEPROM PDI Access State (0x0501) 84](#_Toc51076895)

[3.2.52 Регистр EEPROM Control/Status (0x0502:0x0503) 85](#_Toc51076896)

[3.2.53 Регистр EEPROM Address (0x0504: 0x0507) 87](#_Toc51076897)

[3.2.54 Регистр EEPROM Data (0x0508:0x050F) 87](#_Toc51076898)

[3.2.55 Регистр MII Management Control/Status (0x0510:0x0511) 88](#_Toc51076899)

[3.2.56 Регистр PHY Address (0x0512) 89](#_Toc51076900)

[3.2.57 Регистр PHY Register Address (0x0513) 90](#_Toc51076901)

[3.2.58 Регистр *PHY Data* (0x0514:0x0515) 91](#_Toc51076902)

[3.2.59 Регистр MII Management ECAT Access State (0x0516) 91](#_Toc51076903)

[3.2.60 Регистр MII Management PDI Access State (0x0517) 91](#_Toc51076904)

[3.2.61 Регистр PHY Port 0 Status (0x0518) 92](#_Toc51076905)

[3.2.62 Регистр PHY Port 1 Status (0x0519) 93](#_Toc51076906)

[3.2.63 Регистр Logical Start address FMMU 0 (0x0600:0x0603) 94](#_Toc51076907)

[3.2.64 Регистр Length FMMU 0 (0x0604:0x0605) 95](#_Toc51076908)

[3.2.65 Регистр Start bit FMMU 0 in logical address space (0x0606) 95](#_Toc51076909)

[3.2.66 Регистр Stop bit FMMU 0 in logical address space (0x0607) 95](#_Toc51076910)

[3.2.67 Регистр Physical Start address FMMU 0 (0x0608-0x0609) 96](#_Toc51076911)

[3.2.68 Регистр Physical Start bit FMMU 0 (0x060A) 96](#_Toc51076912)

[3.2.69 Регистр Type FMMU 0 (0x060B) 96](#_Toc51076913)

[3.2.70 Регистр Activate FMMU 0 (0x060C) 97](#_Toc51076914)

[3.2.71 Регистр Logical Start address FMMU 1(0x0610:0x0613) 97](#_Toc51076915)

[3.2.72 Регистр Length FMMU 1(0x0614:0x0615) 98](#_Toc51076916)

[3.2.73 Регистр Start bit FMMU 1 in logical address space (0x0616) 98](#_Toc51076917)

[3.2.74 Регистр Stop bit FMMU 1 in logical address space (0x0617) 98](#_Toc51076918)

[3.2.75 Регистр Physical Start address FMMU 1(0x0618:0x619) 98](#_Toc51076919)

[3.2.76 Регистр Physical Start bit FMMU 1 (0x061A) 99](#_Toc51076920)

[3.2.77 Регистр Type FMMU 1 (0x061B) 99](#_Toc51076921)

[3.2.78 Регистр Activate FMMU 1 (0x061C) 100](#_Toc51076922)

[3.2.79 Регистр Logical Start address FMMU 2 (0x0620:0x0623) 100](#_Toc51076923)

[3.2.80 Регистр Length FMMU 2 (0x0624:0x0625) 100](#_Toc51076924)

[3.2.81 Регистр Start bit FMMU 2 in logical address space (0x0626) 101](#_Toc51076925)

[3.2.82 Регистр Stop bit FMMU 2 in logical address space (0x0627) 101](#_Toc51076926)

[3.2.83 Регистр Physical Start address FMMU 2 (0x0628) 101](#_Toc51076927)

[3.2.84 Регистр Physical Start bit FMMU 2 (0x0629) 102](#_Toc51076928)

[3.2.85 Регистр Type FMMU 2 (0x062A) 102](#_Toc51076929)

[3.2.86 Регистр Activate FMMU 2 (0x062B) 103](#_Toc51076930)

[3.2.87 Регистр Physical Start Address SyncManager 0 (0x0800:0x0801) 103](#_Toc51076931)

[3.2.88 Регистр *Length SyncManager 0* (0x0802:0x0803) 103](#_Toc51076932)

[3.2.89 Регистр Control Register SyncManager 0 (0x0804) 104](#_Toc51076933)

[3.2.90 Регистр Status Register SyncManager 0 (0x0805) 105](#_Toc51076934)

[3.2.91 Регистр Activate SyncManager 0 (0x0806) 106](#_Toc51076935)

[3.2.92 Регистр PDI Control SyncManager 0 (0x0807) 107](#_Toc51076936)

[3.2.93 Регистр Register physical Start Address SyncManager (0x0808:0x0809) 107](#_Toc51076937)

[3.2.94 Регистр *Length SyncManager 1* (0x080A:0x080B) 108](#_Toc51076938)

[3.2.95 Регистр Control Register SyncManager 1 (0x080C) 108](#_Toc51076939)

[3.2.96 Регистр Status Register SyncManager 1 (0x080D) 109](#_Toc51076940)

[3.2.97 Регистр Activate SyncManager 1 (0x080E) 110](#_Toc51076941)

[3.2.98 Регистр PDI Control SyncManager 1 (0x080F) 111](#_Toc51076942)

[3.2.99 Регистр Register physical Start Address SyncManager 2 (0x0810:0x0811) 111](#_Toc51076943)

[3.2.100 Регистр Length SyncManager 2 (0x0812:0x0813) 112](#_Toc51076944)

[3.2.101 Регистр Control Register SyncManager 2 (0x0814) 112](#_Toc51076945)

[3.2.102 Регистр Status Register SyncManager 2 (0x0815) 113](#_Toc51076946)

[3.2.103 Регистр Activate SyncManager 2 (0x0816) 114](#_Toc51076947)

[3.2.104 Регистр PDI Control SyncManager 2 (0x0817) 115](#_Toc51076948)

[3.2.105 Регистр Physical Start Address SyncManager 3 (0x0818:0x0819) 115](#_Toc51076949)

[3.2.106 Регистр Length SyncManager 3 (0x081A:0x081B) 116](#_Toc51076950)

[3.2.107 Регистр Control Register SyncManager 3 (0x081C) 116](#_Toc51076951)

[3.2.108 Регистр Status Register SyncManager 3 (0x081D) 117](#_Toc51076952)

[3.2.109 Регистр Activate SyncManager 3 (0x081E) 118](#_Toc51076953)

[3.2.110 Регистр PDI Control SyncManager 3 (0x081F) 119](#_Toc51076954)

[3.2.111 Регистр Receive Time Port 0 (0x0900:0x0903) 119](#_Toc51076955)

[3.2.112 Регистр Receive Time Port 1 (0x0904:0x0907) 120](#_Toc51076956)

[3.2.113 Регистр Receive Time ECAT Processing Unit (0x0918:0x091F) 120](#_Toc51076957)

[3.2.114 Регистр *System Time* (0x0910:0x0917) 121](#_Toc51076958)

[3.2.115 Регистр *System Time Offset* (0x0920:0x0927) 121](#_Toc51076959)

[3.2.116 Регистр *System Time Delay* (0x0928:0x092B) 122](#_Toc51076960)

[3.2.117 Регистр *System Time Difference* (0x092C:0x092F) 122](#_Toc51076961)

[3.2.118 Регистр *Speed Counter Start* (0x0930:0x0931) 123](#_Toc51076962)

[3.2.119 Регистр *Speed Counter Diff* (0x0932:0x933) 123](#_Toc51076963)

[3.2.120 Регистр System Time Difference Filter Depth (0x0934) 123](#_Toc51076964)

[3.2.121 Регистр Speed Counter Filter Depth (0x0935) 124](#_Toc51076965)

[3.2.122 Регистр Receive Time Latch Mode (0x0936) 124](#_Toc51076966)

[3.2.123 Регистр Cyclic Unit Control (0x0980) 125](#_Toc51076967)

[3.2.124 Регистр Activation register (0x0981) 125](#_Toc51076968)

[3.2.125 Регистр Pulse Length of SyncSignals (0x0982:0x983) 127](#_Toc51076969)

[3.2.126 Регистр Activation Status (0x0984) 128](#_Toc51076970)

[3.2.127 Регистр SYNC0 Status (0x098E) 128](#_Toc51076971)

[3.2.128 Регистр SYNC1 Status (0x098F) 129](#_Toc51076972)

[3.2.129 Регистр Start Time Cyclic Operation (0x0990:0x0997) 129](#_Toc51076973)

[3.2.130 Регистр *Next SYNC1 Pulse* (0x0998:0x099F) 130](#_Toc51076974)

[3.2.131 Регистр SYNC0 Cycle Time (0x09A0:0x09A3) 130](#_Toc51076975)

[3.2.132 Регистр SYNC1 Cycle Time (0x09A4:0x09A7) 130](#_Toc51076976)

[3.2.133 Регистр Latch0 Control (0x09A8) 130](#_Toc51076977)

[3.2.134 Регистр Latch1 Control (0x09A9) 131](#_Toc51076978)

[3.2.135 Регистр Latch0 Status (0x09AE) 131](#_Toc51076979)

[3.2.136 Регистр Latch1 Status (0x09AF) 132](#_Toc51076980)

[3.2.137 Регистр Буфер Process RAM (0x1000:0x1BFF) 133](#_Toc51076981)

[3.2.138 Регистр Latch0 Time Negative Edge (0x09B8:0x09BF) 133](#_Toc51076982)

[3.2.139 Регистр Latch1 Time Positive Edge (0x09C0:0x09C7) 133](#_Toc51076983)

[3.2.140 Регистр Latch1 Time Negative Edge (0x09C8:0x09CF) 134](#_Toc51076984)

[3.2.141 Регистр EtherCAT Buffer Change Event Time (0x09F0:0x09F3) 134](#_Toc51076985)

[3.2.142 Регистр PDI Buffer Start Event Time (0x09F8:0x09FB) 134](#_Toc51076986)

[3.2.143 Регистр PDI Buffer Change Event Time (0x09FC:0x09FF) 135](#_Toc51076987)

[3.2.144 Регистр Product ID (0x0E00:0x0E07) 135](#_Toc51076988)

[3.2.145 Регистр Vendor ID (0x0E08:0x0E0F) 135](#_Toc51076989)

[3.2.146 Регистр MAC Configuration (0x0E10) 135](#_Toc51076990)

[3.2.147 Регистр MAC0 RxErrors0 (0x0E14) 138](#_Toc51076991)

[3.2.148 Регистр MAC0 RxErrors1 (0x0E18) 139](#_Toc51076992)

[3.2.149 Регистр ESC Control1 (0x0E1C) 140](#_Toc51076993)

[3.2.150 Регистр MAC0 Debug1 (0x0E20) 140](#_Toc51076994)

[3.2.151 Регистр MAC0 Debug2 (0x0E24) 140](#_Toc51076995)

[3.2.152 Регистр MAC1 Debug1 (0x0E28) 140](#_Toc51076996)

[3.2.153 Регистр MAC1 Debug2 (0x0E2C) 140](#_Toc51076997)

[3.2.154 Регистр MAC1 RxErrors0 (0x0E30) 140](#_Toc51076998)

[3.2.155 Регистр MAC1 RxErrors1 (0x0E34) 141](#_Toc51076999)

[3.2.156 Регистр MILDC Config (0x0E38) 142](#_Toc51077000)

[3.2.157 Регистр ESC Ports Config (0x0E3C) 145](#_Toc51077001)

[3.2.158 Регистр MILDC PHY Scan Result (0x0E40) 148](#_Toc51077002)

[3.2.159 Регистр Port0 MILDC Status (0x0E44) 148](#_Toc51077003)

[3.2.160 Регистр Port0 MILDC Debug (0x0E48) 149](#_Toc51077004)

[3.2.161 Регистр Port1 MILDC Status (0x0E4С) 149](#_Toc51077005)

[3.2.162 Регистр Port1 MILDC Debug (0x0E50) 150](#_Toc51077006)

[3.2.163 Регистр EEPROM USER DEFINED REGS (0x0E54) 150](#_Toc51077007)

[3.2.164 Регистр EEPROM DEBUG (0x0E58) 151](#_Toc51077008)

[3.2.165 Регистр DPRAM DEBUG (0x0E5C) 151](#_Toc51077009)

[3.2.166 Буфер User RAM (0x0F80:0x0FFF) 152](#_Toc51077010)

[3.2.167 Буфер Process RAM (0x1000:0x2BFF) 152](#_Toc51077011)

[4 Дополнительная информация 153](#_Toc51077012)

[4.1 Рекомендуемая схема подключения PHY к ESC в режиме MII 153](#_Toc51077013)

[4.2 Возможная схема подключения PHY к ESC в режиме MII 153](#_Toc51077014)

[4.3 Рекомендуемая схема подключения PHY к ESC в режиме RMII 153](#_Toc51077015)

[Лист регистрации изменений 157](#_Toc51077016)

Перечень иллюстраций

[Рисунок 1.1 - Структура пакета ECAT 10](#_Toc51077017)

[Рисунок 1.2 - Блок-схема контроллера ESC 13](#_Toc51077018)

[Рисунок 2.1 - Cхема формирования статуса link 20](#_Toc51077019)

[Рисунок 4.1 - Рекомендуемая схема подключения PHY (режи MII) 154](#_Toc51077020)

[Рисунок 4.2 - Возможная схема подключения PHY 155](#_Toc51077021)

[Рисунок 4.3 - Рекомендуемая схема подключения PHY (режим RMII) 156](#_Toc51077022)

# Назначение контроллера ESC

Интерфейс EtherCAT (ECAT) является сетевым каналом для связи большого количества устройств в различных областях промышленной автоматизации. Физический уровень ECAT реализован на широко распространенном и дешевым в обслуживании интерфейсе Ethernet 100 Мбит, полный дуплекс. ECAT стандартизирован международным сообществом IEEE, в организованном сообществе EtherCAT Technology Group (ETG) насчитывается несколько сот организаций-разработчиков и производителей оборудования. Стандарт развивается, периодически выпускаются версии стандарта и его частей. Контроллер соответствует версии v.1.0.4 стандарта ETG.

С использованием микроконтроллера со встроенным ESC имеется возможность проектирования отечественных высоконадежных контроллеров, управляющих быстродействующими процессами (управление перемещением в машиностроении), распределенными устройствами связи с технологическими объектами (промышленные логические контроллеры в добывающей и обрабатывающей сферах промышленности).

Блок контроллера Ведомого интерфейса EtherCAT (ESC) предназначен для встраивания в soс\_core микроконтроллера КОМДИВ-МК и имеет четыре порта интерфейса EtherCAT.

Блок ESC состоит из следующих блоков:

- блоки MAC портов с номерами 0,1,2,3;

- блок FMMU, количество каналов – 3 шт;

- блок SyncManager, количество каналов - 4 шт;

- блок регистров, размером 4 Кбайт, совместно с буфером User RAM размером 128 байт;

- буфер Process RAM. Размер буфера Process RAM равен 7 Кбайт;

- контроллер Ведущего I2C (контроллер EEPROM) с режимом автоматической загрузки регистров;

- контроллер DC;

- блок прерываний;

- блок управления светодиодами отображения состояния контроллера.

Блок регистров занимает область в адресном пространстве процессора в диапазоне: 0х1B70\_0000 – 0х1B7F\_FFFF (окно размером 1 Мбайт), запрос прерывания от контроллера обслуживается на канале 37 контроллера прерываний. Данные передаются между Ведущим ECAT и ESC в виде пакетов.

Пакет состоит из полей Ethernet header и EtherCAT PDU, а также поля контрольной суммы. Поле EtherCAT PDU состоит из EtherCAT header (длиной 2 октета) и одной или нескольких дейтаграмм. EtherCAT header включает поле Len (длиной 11 бит); поле Res (длина 1 бит, значение 0); поле Type (длина 4 бита, значение 0х1). Каждая дейтаграмма в свою очередь также включает в себя заголовок: Datagram header длиной 10 октетов; поле Data – передаваемые данные; поле WKC (длина 2 октета) - счетчик работоспособности. Поле Datagram header состоит из: поля Cmd – команды (длительность 1 октет); поля Idx – индекса дейтаграммы (длительность 1 октет), назначаемого Ведущим; поле Address – адрес (длительность 4 октета); поле Len – количество передаваемых данных (длительностью 11 бит); поле R (длительность 3 бита); поле С – признак зацикленной дейтаграммы (длительность 1 бит); поле М – признак наличия других дейтаграмм (длительность 1 бит); поле IRQ – запросы прерывания (длительность два октета). Структура пакета ECAT представлена на рисунке .

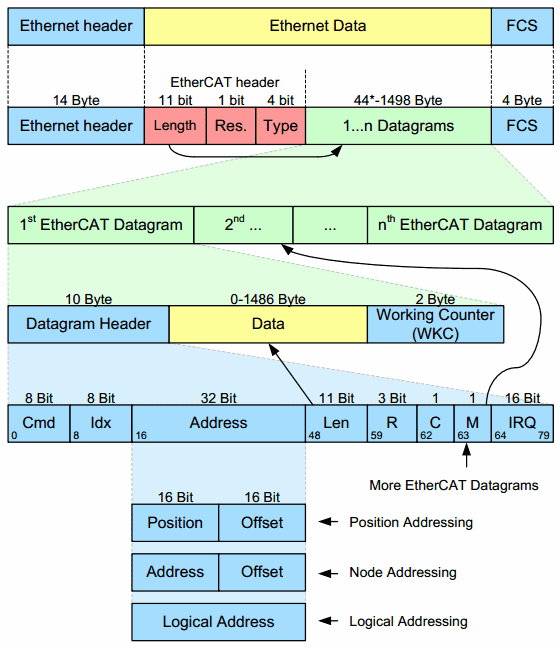


Рисунок 1.1 - Структура пакета ECAT

Перечень команд (значения поля Cmd) контроллера ESC интерфейса ECAT приведен в таблице 1.1.

Таблица 1.1 Перечень команд интерфейса ECAT

|  |  |  |
| --- | --- | --- |
| Код команды | Аббревиатура | Описание команды |
| 0х0 | NOP | NOP - не выполнять никаких действий, контроллер ESC игнорирует эту команду |
| 0х1 | APRD | Auto Increment Read. Контроллер увеличивает на единицу адрес и размещает в дейтаграмме запрашиваемые данные, если адрес равен нулю. |
| 0х2 | APWR | Auto Increment Write. Контроллер увеличивает на единицу адрес и записывает полученные данные, если адрес равен нулю. |
| 0х3 | APRW | Auto Increment Read Write. Контроллер увеличивает на единицу адрес, размещает в дейтаграмме запрашиваемые данные и записывает полученные данные по тому-же адресу, если адрес равен нулю. |
| 0х4 | FPRD | Configured Address Read. Контроллер размещает в дейтаграмме запрашиваемые данные, если адрес равен одному из сконфигурированных базовых адресов: Configured Station Address, Configured Station Alias. |
| 0х5 | FPWR | Configured Address Write. Контроллер записывает полученные данные, если адрес равен одному из сконфигурированных базовых адресов: Configured Station Address, Configured Station Alias. |
| 0х6 | FPRW | Configured Address Read Write. Контроллер размещает в дейтаграмме запрашиваемые данные и записывает полученные данные по тому-же адресу, если адрес равен одному из сконфигурированных базовых адресов: Configured Station Address, Configured Station Alias. |
| 0х7 | BRD | Broadcast Read. Контроллер размещает в дейтаграмме данные, полученные побитным сложением по ИЛИ принятых данных и запрашиваемых данных, увеличивает на единицу адресное поле «position». |
| 0х8 | BWR | Broadcast Write. Контроллер записывает полученные данные, увеличивает на единицу адресное поле «position». |
| 0х9 | BRW | Broadcast Read Write. Контроллер размещает в дейтаграмме данные, полученные побитным сложением по ИЛИ принятых данных и запрашиваемых данных, записывает данные по тому-же адресу, увеличивает на единицу адресное поле «position». |
| 0хA | LRD | Logical Memory Read. Контроллер размещает в дейтаграмме запрашиваемые данные, если адрес равен одному из базовых адресов каналов блока FMMU, сконфигурированных для операции чтения. |
| 0хB | LWR | Logical Memory Write. Контроллер записывает полученные данные, если адрес равен одному из базовых адресов каналов блока FMMU, сконфигурированных для операции записи. |
| 0хC | LRW | Logical Memory Read Write. Контроллер размещает в дейтаграмме запрашиваемые данные, если адрес равен одному из базовых адресов каналов блока FMMU, сконфигурированных для операции чтения, записывает полученные данные, если адрес равен одному из базовых адресов каналов блока FMMU, сконфигурированных для операции записи. |
| 0хD | ARMW | Auto Increment Read Multiple Write. Контроллер увеличивает на единицу адрес. Контроллер размещает в дейтаграмме запрашиваемые данные, если вычисленный адрес равен нулю, иначе: контроллер записывает полученные данные. |
| 0хE | FRMW | Configured Read Multiple Write. Контроллер размещает в дейтаграмме запрашиваемые данные, если адрес равен одному из сконфигурированных базовых адресов: Configured Station Address, Configured Station Alias, иначе: записывает полученные данные. |
| 0xF-0xFF |  | Значения зарезервированы. |

Блок-схема контроллера ESC представлена на рисунке .



Рисунок 1.2 - Блок-схема контроллера ESC

# Описание работы контроллера ESC

## Описание работы блока MAC

В состав блока MAC входят следующие функциональные узлы:

- RX-MII,

- TX-MII,

- MI MII,

- Link Management,

- PHY Reset

### RX-MII (autoforwarder)

Блок RX-MII производит прием данных от внешней микросхемы приемопередатчика Ethernet (PHY) с использованием интерфейса MII. Здесь входной пакет проверяется на ошибки, формируются байты данных (из полубайтов MII\_RX\_D[3:0]), статусные сигналы и инкрементируются статистические счётчики. Здесь же происходит «защёлкивание» временной метки (time stamp). Момент «защёлкивания» можно немного изменить. Для этого предназначен разряд *rx\_sof\_select* ([0x0E10[9]](#_Регистр_MAC_Configuration)). Разряд *big\_trunc\_en* этого же регистра разрешает обрезать слишком длинные пакеты (длиннее, чем 2047байт). Одной из функций RX\_MII является пересинхронизация приёмной части интерфейса MII от внешнего тактового сигнала MII\_RX\_CLK ко внутреннему тактовому сигналу. Для этого используется специальный буфер FIFO, вычитывание данных из которого начинается по достижении определённого порога, который зависит от настройки параметра *RXFIFOSize* регистра [0x0100](#_Регистр_ESC_DL). FIFO увеличивает задержку распространения данных внутри ESC. Уменьшение параметра *RXFIFOSize* уменьшает задержку, но увеличивает вероятность порчи пакетов из-за преждевременного опустошения FIFO (underflow). Работа при самых маленьких значениях *RXFIFOSize* возможна, только если оба link-партнёра оснащены источниками опорного тактового сигнала с точностью 25ppm. Обратная ситуация – переполнение FIFO (overflow) – теоретически не должна происходить ни при каких значениях *RXFIFOSize*.

### ТX-MII

Блок TX\_MII производит передачу данных от ESC к внешней микросхеме приемопередатчика Ethernet (PHY) с использованием интерфейса MII. Для уменьшения задержки распространения пересинхронизация передающего интерфейса от внутреннего тактового сигнала к внешнему тактовому сигналу MII\_TX\_CLK не производится. Чтобы данные «защёлкивались» микросхемой PHY правильно нужно обеспечить правильное их расположение относительно MII\_TX\_CLK. Для этого их сдвигают на фиксированную величину 0, 10, 20, 30нс относительно переднего фронта выходного тактового сигнала CLK25OUT, к которому данные синхронизованы изначально. Этот сигнал рекомендуется использовать в качестве референсного тактового сигнала микросхем PHY. Величина сдвига настраивается в регистрах [0x0E10](#_Регистр_MAC_Configuration) и [0x0E60](#_Регистр_MAC_Configuration2) для каждого порта (*tx\_shift\_mac[1:0]*). Она выбирается экспериментально и далее не меняется. Положение MII\_TX\_CLK относительно референсного тактового сигнала микросхемы PHY также не должно меняться, причём даже после подачи питания или сброса PHY. Это требование EtherCAT к микросхемам PHY. В этом случае, сигнал MII\_TX\_CLK можно не подключать к порту ESC. Впрочем, есть альтернативный вариант настройки сдвига - автоматический. Для этого к каждому порту контроллера ESC должен быть подключён MII\_TX\_CLK соответствующего PHY и взведён разряд *tx\_shift\_auto\_mac* ([0x0E10[2][5]](#_Регистр_MAC_Configuration)) и [0x0E60[2][5]](#_Регистр_MAC_Configuration2) (это не распространяется на порт в режиме RMII). Сдвиг тоже вносит задержку в распространение данных через ESC. В таблице 2.1 приведены расчётные минимальные (*tx\_shift\_mac*=0) и максимальные (*tx\_shift\_mac*=3) времена задержки пакета от MII\_RX до MII\_TX для различных вариантов настройки параметра *RXFIFOSize*.

Если порт сконфигурирован в режим RMII, то значения *tx\_shift\_mac и tx\_shift\_auto\_mac* не имеют значения, т.к. в этом режиме используется выходное согласующее FIFO. Соответственно, задержка распространения пакета увеличивается.

Таблица 2.1 – задержка распространения пакета через контроллер ESC (оба порта в режиме MII)

|  |  |  |  |
| --- | --- | --- | --- |
| RXFIFOSize | Минимальная задержка, нс | Максимальная задержка, нс | Точность опорных тактовых сигналов обоих link-партнёров, ppm |
| 4-7 | 250 | 310 | 100 |
| 2-3 | 210 | 270 | 100 |
| 0-1 | 180 | 240 | 25 |

### MI MII

Блок контроллера интерфейса управления MI(MI-MII) управляет функционированием микросхемы приемопередатчика Ethernet по интерфейсу управления MI (Management Interface; традиционным для Ethernet является название MDIO или SMI). MI MII реализует автоматический протокол цикла доступа к PHY (управление линиями MDC и MDIO) и обеспечивает интерфейс доступа к нему. Доступ имеют: Ведущий ECAT (ECAT-Master), локальный процессор (PDI) и механизм Конфигурации и Управления Связью (MILDC).

Для управления MI со стороны ECAT-MASTER и PDI предназначены следующие контрольно-статусные регистры:

*MII Management Control/Status* ([0x0510-0x0511](#_Регистр_MII_Management));

*PHY Address (*[*0x0512*](#_Регистр__PHY)*);*

*PHY Register Address* ([0x0513](#_Регистр_PHY_Register));

*PHY Data* ([0x0514-0x0515](#_Регистр_PHY_Data));

*MII Management ECAT Access State* ([0x0516](#_Регистр_MII_Management_1));

*MII Management PDI Access State* ([0x0517](#_Регистр_MII_Management_2));

*PHY Port 0-3* ([0x0518-0x051b](#_Регистр_PHY_Port));

Контролировать блок контроллера интерфейса управления MI может кто-то один: либо Ведущий ECAT, либо локальный процессор (механизм MILDC работает параллельно им; он не использует регистры 0x510-517). Начальное состояние: Ведущий ECAT контролирует интерфейс управления MI. Для передачи управления от Ведущего ECAT, процессор должен установить бит *Access to MII management* (разряд 0) регистра *MII Management PDI Access State* (0x0517). Возврат к контролю Ведущим ECAT осуществляется сбросом данного бита.

Ведущий ECAT имеет возможность принудительно отбирать контроль над интерфейсом управления MI, установив бит *Force PDI Access State* (разряд 1) регистра *MII Management PDI Access State* (0x0517). Ведущий ECAT имеет возможность эксклюзивно контролировать интерфейс управления MI, установив бит *Access to MII management* (разряд 0) регистра *MII Management ECAT Access State* (0x0516).

Для записи/чтения одного регистра внешней микросхемы приемопередатчика MII необходимо выполнить следующий алгоритм:

- дождаться сброса бита *Busy* (разряд 15) регистра *MII Management Control/Status* (0x0510-0x0511);

- установить значение адреса приемопередатчика MII в регистр *PHY Address* (0x0512) (подробное описание адресации PHY [см. далее](#_Адресация_PHY));

- установить значение адреса регистра приемопередатчика MII в регистр *PHY Register Address* (0x0513);

- для команды записи установить значение записываемых данных в регистре *PHY Data* (0x0514-0x0515);

- установить значение выполняемой команды в битовое поле *Command register* (разряды 9:8) регистра *MII Management Control/Status* (0x0510-0x0511) из следующего диапазона значений:

значение 00b – сброс статусных битов;

значение 01b – команда чтения;

значение 10b – команда записи;

- дождаться сброса бита *Busy* (разряд 15) регистра *MII Management Control/Status* (0x0510-0x0511);

- проверить статусные биты ошибок*: Read Error* (разряд 13), *Command Error* (разряд 14) регистра *MII Management Control/Status* (0x0510-0x0511), если биты не установлены, то команда выполнена успешно;

- после выполнения команды чтения, прочитанные данные находятся в регистре *PHY Data* (0x0514-0x0515).

В случае ошибочного выполнения команды необходимо очистить статусные биты.

В регистре [0x0E10[23][22][21:16]](#_Регистр_MAC_Configuration) содержатся настройки протокола MDIO: период тактового сигнала MDC, разрешение отключения преамбулы и разрешение дополнительного такта MDC в конце цикла.

### Адресация PHY

Есть 2 режима назначения адресов PHY и 2 режима обращения к PHY по назначенным адресам.

#### Режимы назначения адресов

1. Физические адреса микросхем PHY, соответствующих номерам портов 0-3, аппаратно установлены последовательно возрастающими (PHY addresses are consecutive), начиная с какого-либо адреса для PHY порта 0. **Это рекомендованная схема.**

В этом случае разряд *indpnd\_PHY\_addresses* ([0x0E10](#_Регистр_MAC_Configuration)[29]) должен быть установлен в 0 (по умолчанию равен 1), а в поле *addr\_offset* (0x0E10[28:24]) (значение по умолчанию 0x1) должен быть записан физический адрес микросхемы PHY порта 0. Эти разряды загружаются из EEPROM по ресету. Далее они могут быть изменены записью соответствующих регистров со стороны PDI и ECAT-Мастера.

1. Физические адреса микросхем PHY аппаратно установлены произвольно (PHY addresses are non-consecutive). **Не рекомендуется, т.к. возможна несовместимость с требованиями программного обеспечения.**

В этом случае разряд *indpnd\_PHY\_addresses* должен быть установлен в 1 (по умолчанию равен 1), в поле *port0\_adr\_reg* ([0x0E3C](#_Регистр_ESC_Ports)[4:0]) (значение по умолчанию 0x1) должен быть записан физический адрес микросхемы PHY порта 0, в поле *port1\_adr\_reg* ([0x0E3C](#_Регистр_ESC_Ports)[20:16]) (значение по умолчанию 0x2) - адрес микросхемы PHY порта 1, в поле *port2\_adr\_reg* ([0x0E84](#_Регистр_ESC_Ports_1)[4:0]) (значение по умолчанию 0x3) - адрес микросхемы PHY порта 2, в поле *port3\_adr\_reg* ([0x0E84](#_Регистр_ESC_Ports_1)[20:16]) (значение по умолчанию 0x4) - адрес микросхемы PHY порта 3. Эти разряды загружаются из EEPROM по ресету. Далее они могут быть изменены записью соответствующих регистров со стороны PDI и ECAT-Мастера.

#### Режимы обращения к PHY

Для обращения к PHY программное обеспечение (ECAT-MASTER и PDI) использует регистр *PHY Address* ([0x0512](#_Регистр__PHY)). В зависимости от значения, записанного в разряд 7, различают 2 режима использования этого регистра.

1. Если разряд 7 не взведён, то это режим трансляции адресов: в этом режиме программное обеспечение обращается к PHY выбранного порта по номеру этого порта, записывая его в разряды 4:0. Далее, номер порта автоматически транслируется в адрес, используя значения регистров *indpnd\_PHY\_addresses, addr\_offset* и *portN\_adr\_reg* в соответствии с таблицей 2.2.
2. Если разряд 7 взведён, то в качестве адреса PHY используются разряды 4:0 напрямую.

В любом случае, посмотреть реальный физический адрес можно в регистре [0x0510](#_Регистр_MII_Management) (разряды 7:3) с помощью настроек в регистре [0x0512](#_Регистр__PHY) (разряды 7 и 4:0) в соответствии с таблицей 2.3.

Таблица 2.2 – схема адресации PHY при 0x512[7]=0

|  |  |  |
| --- | --- | --- |
| Target PHY Address  (0x512[4:0]) | Реальный адрес PHY | |
| *indpnd\_PHY\_addresses*=0 | *indpnd\_PHY\_addresses*=1 |
| 0x0 | 0x0+*addr\_offset* | *port0\_adr\_reg* |
| 0x1 | 0x1+*addr\_offset* | *port1\_adr\_reg* |
| 0x2 | 0x2+*addr\_offset* | *port2\_adr\_reg* |
| 0x3 | 0x3+*addr\_offset* | *port3\_adr\_reg* |
| другое | *Target PHY Address* + *addr\_offset* | *Target PHY Address* |

Таблица 2.3 – значение поля «PHY address of port0» регистра 0x510

|  |  |  |  |
| --- | --- | --- | --- |
| Target PHY Address  (0x512[4:0]) | | PHY address of port0 (0x510[7:3]) | |
| *indpnd\_PHY\_addresses*=0 | *indpnd\_PHY\_addresses*=1 |
| 0x512[7]=0 (показать сконфигурированный адрес порта 0) | | 0x0+*addr\_offset* | *port0\_adr\_reg* |
| 0x512[7]=1 | 0x0 | 0x0+*addr\_offset* | *port0\_adr\_reg* | |
| 0x1 | 0x1+*addr\_offset* | *port1\_adr\_reg* | |
| 0x2 | 0x2+*addr\_offset* | *port2\_adr\_reg* | |
| 0x3 | 0x3+*addr\_offset* | *port3\_adr\_reg* | |
| другое | *PHY Address* + *addr\_offset* | *PHY Address* | |
| Внимание! Стандартное программное обеспечение, работающее на ECAT-Мастере, ничего «не знает» о режиме контроллера *indpnd\_PHY\_addresses=1* и может считать, что адреса PHY последовательно возрастают, т.е. реализован режим *indpnd\_PHY\_addresses=0.* | | | | |

Значение регистров *portN\_adr\_reg* при определённых условиях может быть изменено автоматически механизмом MILDC блока Link-Management.

### Link Management

Link-Management занимается установкой и слежением за состоянием связи с партнёром (link). В EtherCAT link - это не только возможность поддерживать обмен данными, но и строго определённые параметры соединения: скорость 100Мбит/с, полный дуплекс.

Для обеспечения наиболее быстрого определения link порта и закрытия порта при ненадежном link, должен быть использован специальный сигнал наличия link (LINК\_MII) от микросхемы приемопередатчика. Но этот сигнал не является стандартным для типичного PHY. Обычно в качестве него используют вывод led-индикатора. Лучше всего, если это специальный вывод, свидетельствующий о том, что установлена связь с партнёром на скорости 100Мбит/с, полный дуплекс. Можно также использовать led\_индикатор скорости 10/100 Мбит/с. В крайнем случае, led-индикатор наличия связи. По умолчанию, контроллер ESC настроен на низкий активный уровень сигнала MII\_LINK, но это может быть скорректировано регистром *portN\_link\_pol* (0x0E3C[10][26] и 0x0E84[10][26]) для каждого порта. Состояние LINК\_MII каждого из портов отображается в установленных битах *Physical link on Port0* (разряд 4), *Physical link on Port1* (разряд 5), *Physical link on Port2* (разряд 6), *Physical link on Port3* (разряд 7) регистра ESC DL Status ([0x0110](#_Регистр_ESC_DL_1)) (см. рисунок 2.1).

Дополнительно к сигналу LINК\_MII, можно использовать Улучшенный Метод Определения Link (Enhanced Link Detection, ELD) и механизм Конфигурации и Управления Связью с помощью интерфейса MI (MI link detection, MI Link Management & Configuration, MILDC).

#### Enhanced Link Detection

Улучшенный Метод Определения Link (Enhanced Link Detection, ELD), заключается в следующем: подсчитывается количество появления сигнала MII\_RX\_ER в течении 10мкс и если оно превысит 32, то порт закрывается. Если порт работает в FX-режиме ([0x0E3C[8],[24]](#_Регистр_ESC_Ports) и [0x0E84[8],[24]](#_Регистр_ESC_Ports_1)), то генерируется сигнал аппаратного сброса PHY (PHY\_RESET), чтобы прервать link и известить таким образом партнёра о закрытии порта. Если порт работает в TX-режиме, то с той же целью перезапускается процесс автонегоциации (restart Autonegotiation). После чего схема ждёт, что link станет 0, потом 1. Всё это время порт остаётся закрытым. Статус ELD (включён/не включён) отражён в разряде [0x0110](#_Регистр_ESC_DL_1)[2]. Конфигурация – в разрядах [0x0141](#_Регистр_ESC_Configuration)[1][7:4]. Для работы ELD необходимо, чтобы физические адреса обоих портов были правильно сконфигурированы. Иначе процесс автонегоциации будет перезапускаться у PHY не того порта или у несуществующего PHY. Кроме того, если хотя бы один порт должен работать в FX-режиме, то контроллер должен быть оснащён отдельным сигналом PHY\_RESET для каждого порта (так это или нет, можно определить по состоянию разряда [0x0E38[3]](#_Регистр_MILDC_Config), который загружается из EEPROM по включении питания контроллера).

Если ELD порта выключен, то он не участвует в формировании статуса link.

#### MI Link Management & Configuration

Механизм Конфигурации и Управления Связью с помощью интерфейса MI (MI link detection, MI Link Management & Configuration, MILDC) с помощью интерфейса MI автоматически конфигурирует PHY (устанавливает нужные параметры связи) и затем следит за link. Статус MILDC (включён/не включён) отражён в разряде 0x0510[2]. Конфигурация – в разрядах [0x0E38[0][11:8]](#_Регистр_MILDC_Config).

Для работы MILDC (как и ELD) необходимо, чтобы физические адреса микросхем PHY всех портов были правильно сконфигурированы. Контроллер может автоматически определить адреса PHY, но это доступно только для контроллеров, в которых каждый порт имеет свой интерфейс MI (определяется разрядом [0x0E38[2]](#_Регистр_MILDC_Config), который загружается из EEPROM) и к нему подсоединена только одна микросхема PHY. В этом случае, после включения, если разрешено разрядом *adr\_discovery\_en* ([0x0E38[1]](#_Регистр_MILDC_Config)), блок проводит сканирование адресов PHY, начиная с адреса 0x1. Адрес первого найденного PHY записывает в регистр *portN\_adr\_reg* своего порта. О том, что MILDC обновил адрес PHY можно судить по состоянию разрядов регистра [0x0E44[2][5]](#_Регистр_Port0_MILDC) , 0x0E4C[2][5], 0x0E88[2][5], 0x0E90[2][5]. Если контроллер оснащён всего одним интерфейсом MI, то автоматическое определение адресов PHY не возможно и тогда всё зависит от правильности инициализации регистров *indpnd\_PHY\_addresses, addr\_offset* и *portN\_adr\_reg*.

После определения адреса блок переходит к конфигурированию PHY.

Конфигурирование PHY зависит от режима работы порта:

- в FX-режиме: записью в Контрольный регистр PHY (0x0) устанавливается скорость 100Мбит/с, полный дуплекс, автонегоциация отключена;

- в TX-режиме: записями в соответствующие регистры (0x4,0x9) декларируется (advertising) только режим 100Мбит/с, полный дуплекс и перезапускается процесс автонегоциации.

По завершении процесса конфигурации MILDC переходит в режим слежения за link, периодически читая Статусный регистр PHY (0x1). Периодичность чтения задаётся в регистре *polling\_interval* ([0x0E38[7:4]](#_Регистр_MILDC_Config)).

Статусные биты определения link каждого порта с использованием MILDC размещены в регистрах PHY Port 0-3 ([0x0518-0x51B](#_Регистр_PHY_Port)).

1.Установленный бит *Physical link status* (разряд 0) сигнализирует об установленном физическом link. Представляет собой разряд 2 Статусного регистра PHY (0x1).

2.Установленный бит *Link status* (разряд 1) сигнализирует об установленном взаимодействии с партнером на скорости 100Мбит/с в режиме full duplex.

3.Установленный бит *Link status error* (разряд 2) сигнализирует об обрыве link или ошибках партнёра (не взведён разряд 2 или взведён разряд 4 Статусного регистра PHY).

4.Установленный бит *Read error* (разряд 3) сигнализирует об ошибке в цикле чтения MI (например, если было обращение по адресу несуществующего PHY).

5.Установленный бит *Link partner error* (разряд 4) сигнализирует об ошибке взаимодействии с партнером (взведён разряд 4 Статусного регистра PHY).

6.Установленный бит *PHY configuration updated* (разряд 5) сигнализирует об изменении содержимого регистров микросхемы приемопередатчика MII. Взводится, когда завершается процесс конфигурации MILDC.

Текущее состояние механизма MILDC отражено в регистрах [0x0E44[5:0]](#_Регистр_Port0_MILDC), 0x0E4С[5:0], 0x0E88[5:0], 0x0E90[5:0]. Пока MILDC не находится в состоянии monitoring link, порт закрыт. Если MILDC порта выключен, то он не участвует в формировании статуса link.

Ограничения MILDC:

1. Для работы MILDC необходимо, чтобы физические адреса всех портов были правильно сконфигурированы.
2. MILDC работает только с базовыми регистрами PHY (адреса 0-15), т.к. не должен зависеть от конкретной модели PHY. Но многие необходимые параметры PHY находятся в расширенной области адресов (16-32) и являются специфичными для конкретной модели. Например, технология MDI-X (которая обязательно должна быть включена), настройка led-индикаторов на нужный режим и включение FX-режима. Предполагается, что нужные настройки PHY задаются аппаратно (strap) и задействуются по фронту сигнала phy\_reset.

На рисунке 2.1 изображена схема формирования статуса link.



Рисунок 2.1 - Cхема формирования статуса link

### PHY Reset

Этот блок формирует выходной сигналы аппаратного сброса микросхем PHY (свой для каждого порта, если [0x0E38[3]](#_Регистр_MILDC_Config)=0). Этот сигнал имеет низкий активный уровень. Выставляется вместе с сигналом аппаратного сброса контроллера ESC. Удерживается в активном состоянии ещё ~180мс после деактивации сигнала сброса контроллера. Также переходит в активное состояние по запросу от блока ELD (если порт настроен на FX-режим) и удерживается в нём ~1мс.

## Описание работы блока FMMU (Fieldbus Memory Management Unit).

После обработки команды нужно как-то распределить данные в памяти. Все дальнейшие блоки и устройства нужны чтобы разгрузить процессор, но по-прежнему быстро обмениваться данными память-шина-память. Блок FMMU находятся между соответствующим SyncManager (SMx) и физическим уровнем. Задача FMMU в отражении локального адресного пространства подчиненных модулей на глобальное адресное пространство мастер-контроллера и наоборот. Другими словами — FMMU транслирует и раскидывает данные из логического операционного образа (фрейма, дейтаграммы) в физическую память и обратно. FMMU умеет работать вплоть до битовых полей.

В блоке FMMU находятся три независимых канала FMMU0, FMMU1, FMMU2. Каналы блока FMMU программируются регистрами управления/статуса, перечень которых приведен в таблице 2.4.

Таблица 2.4 - Перечень регистров управления/статуса блока FMMU:

|  |  |
| --- | --- |
| Наименование регистра | Адрес |
| FMMU0 Logical Start | 0х0600-0х0603 |
| FMMU0 Length | 0х0604-0х0605 |
| FMMU0 Logical Start Bit | 0х0606 |
| FMMU0 Logical Stop Bit | 0х0607 |
| FMMU0 Physical Start Address | 0х0608-0х0609 |
| FMMU0 Physical Start Bit | 0х60А |
| FMMU0 Type | 0х60B |
| FMMU0 Activate | 0х60C |
| FMMU1 Logical Start | 0х0610-0х0613 |
| FMMU1 Length | 0х0614-0х0615 |
| FMMU1 Logical Start Bit | 0х0616 |
| FMMU1 Logical Stop Bit | 0х0617 |
| FMMU1 Physical Start Address | 0х0618-0х0619 |
| FMMU1Physical Start Bit | 0х61А |
| FMMU1 Type | 0х61B |
| FMMU1Activate | 0х61C |
| FMMU2 Logical Start | 0х0620-0х0623 |
| FMMU2Length | 0х0624-0х0625 |
| FMMU2Logical Start Bit | 0х0626 |
| FMMU2 Logical Stop Bit | 0х0627 |
| FMMU2Physical Start Address | 0х0628-0х0629 |
| FMMU2Physical Start Bit | 0х62А |
| FMMU2Type | 0х62B |
| FMMU0 Activate | 0х62C |

В регистрах *FMMU Logical Start* указывается логический адрес начала области под управлением канала FMMU. В регистрах *FMMU Length* указывается размер области в байтах под управлением канала FMMU.

Регистры *FMMU Logical Start Bit* содержат указатель начального бита в стартовом байте логического адреса. Регистры *FMMU Logical Stop Bit* содержат указатель конечного бита в последнем байте области под управлением канала FMMU*.*

В регистрах *FMMU Physical Start Address* указывается физический адрес начала области под управлением канала FMMU. Физический адрес - адрес устройств контроллера: блок регистров или буфер Process RAM. Регистры *FMMU Physical Start Bit* содержат указатель начального бита в стартовом байте физического адреса.

Установленный разряд 0 регистров *FMMU Type* конфигурирует канал FMMU для команд чтения. Установленный разряд 1 регистров *FMMU Type* конфигурирует канал FMMU для команд записи.

Для активации канала FMMU необходимо установить разряд 0 регистра *FMMU Activate* соответствующего канала.

## Описание работы блока SyncManager

Обеспечивает согласованность передачи данных, синхронизирует их, предотвращая одновременный доступ к памяти контроллера (DPRAM). Количество каналов SyncManager в контроллере 4 шт. Каналы могут работать в двух режимах:

- режим почтового ящика (mailbox);

- режим буфера.

Режим почтового ящика (Mailbox):

* Один буфер с режимом установки связи (handshake).
* Защита от переполнения буфера.
* Передающая сторона должна записать в буфер, перед тем как принимающая сторона сможет читать буфер.
* Принимающая сторона должна "вычитать" буфер, перед тем как передающая сторона сможет записать буфер.
* Используется для обмена данными "от случая к случаю" (иногда, нерегулярно) требуемых в данный момент данных.
* Стандартный способ для обмена параметрами данных, диагностики, конфигурации рабочего образа данных.
* Полнодуплексный.
* Подчиненный может инициировать передачу.
* Доступен уже из состояния Pre-Operational (Pre-OP).
* Позволяет реализовать множество протоколов:
  + **EoE** (Ethernet через EtherCAT) — туннель Ethernet через EtherCAT;
  + **CoE** (CANopen через EtherCAT) — для передачи словарей объектов (словарей PDO);
  + **FoE** (Передача файлов через EtherCAT) — передача файлов, например, для перепрошивки устройства;
  + **SoE** (SERCOS через EtherCAT) — доступ к параметрам сервоусилителей;
  + **VoE** (уникальный протокол разработчика (Vendor specific) — разработчик может самостоятельно разработать свой собственный протокол.

Буферизированный режим (Buffered):

* Менеджер синхронизации с тремя буферами гарантирует целостность данных и доступ к новым данным в произвольный момент времени.
* Всегда доступный буфер для записи.
* Буфер чтения всегда заполнен гарантированно целостными данными (за исключением момент старта, то есть перед первой записью в буфер чтения).
* Используется для циклического обмена заранее сформированного списка данных (PDO).

Стандартное распределение SyncManager:

* Mailbox
* SM0 — Mailbox-вывод.
* SM1 — Mailbox-ввод.
* SM2 — PDO-вывод.
* SM3 — PDO-ввод.
* Buffered
* SM0 — PDO-вывод (или PDO-ввод, если отсутствует вывод).
* SM1 — PDO-ввод.

PDO всегда точно умещается в буфере соответствующего SyncManager. Поэтому размер PDO всегда ограничен.

Каналы блока SyncManager программируются следующими регистрами управления/статуса:

SyncManager0 Physical Start Address (0x0800-0x0801);

SyncManager0 Length (0x0802-0x0803);

SyncManager0 Control (0x0804);

SyncManager0 Status (0x0805);

SyncManager0 Activate (0x0806);

SyncManager0 PDI Control (0x0807);

SyncManager1Physical Start Address (0x0808-0x0809);

SyncManager1 Length (0x080A-0x080B);

SyncManager1 Control (0x080C);

SyncManager1 Status (0x080D);

SyncManager1 Activate (0x080E);

SyncManager1 PDI Control (0x080F);

SyncManager2Physical Start Address (0x0810-0x0811);

SyncManager2 Length (0x0812-0x0813);

SyncManager2 Control (0x0814);

SyncManager2 Status (0x0815);

SyncManager2 Activate (0x0816);

SyncManager2 PDI Control (0x0817);

SyncManager3Physical Start Address (0x0818-0x0819);

SyncManager3 Length (0x081A-0x081B);

SyncManager3 Control (0x081C);

SyncManager3 Status (0x081D);

SyncManager3 Activate (0x081E);

SyncManager1 PDI Control (0x081F).

Для активации канала блока SyncManager необходимо установить бит *SyncManager Enable/Disable* (разряд 0) в соответствующем регистре *SyncManager Activate.* Начальный адрес буфера для обмена данными устанавливается в соответствующем регистре *SyncManager Physical Start Address.* Размер области обмена данными в байтах устанавливается в соответствующем регистре *SyncManager Length.*Содержимое регистра должно быть больше нулевого, в противном случае канал блока SyncManager деактивирован. Режим работы канала блока SyncManager устанавливается в соответствующем регистре *SyncManager Control.* При установке битового поля *Operation Mode* (разряды 1:0) регистра *SyncManager Control* в состояние 00b*,* канал блока SyncManager работает в буферизированном режиме. При установке битового поля *Operation Mode* (разряды 1:0) регистра *SyncManager Control* в состояние 10b*,* канал блока SyncManager работает в режиме почтового ящика.

Для установки направления обменом данных необходимо установить битовое поле *Direction* (разряды 3:2) регистра *SyncManager Control*. Для задания направления передачи данных: чтение Ведущим ECAT, запись процессором, необходимо установить битовое поле *Direction*в состояние 00b, для задания направления передачи данных: запись данных Ведущим ECAT, чтение данных процессором, необходимо установить битовое поле *Direction*в состояние 01b.

Для размаскирования запроса на прерывание в регистре *ECAT Event Request*, необходимо установить бит *Interrupt in ECAT Event Request Register* (разряд 4) в регистре *SyncManager Control.* Для размаскирования запроса на прерывание в регистре *AL Event Request*, необходимо установить бит *Interrupt in AL Event Request Register* (разряд 5) в регистре *SyncManager Control.*

Установленный статусный бит *Interrupt Write* (разряд 0) в регистре *SyncManager Status* фиксирует завершение успешной записи в буфер данных соответствующего канала блока SyncManager. Бит *Interrupt Write* сбрасывается при чтении первого байта буфера данных соответствующего канала блока SyncManager. Установленный статусный бит *Interrupt Read* (разряд 1) в регистре *SyncManager Status* фиксирует завершение успешной чтения данных из буфера соответствующего канала блока SyncManager. Бит *Interrupt Read* сбрасывается при записи первого байта буфера данных соответствующего канала блока SyncManager.

Статусный бит *Mailbox mode* (разряд 3) в регистре *SyncManager Status* устанавливается в случае, когда почтовый ящик соответствующего канала блока SyncManager заполнен, в противном случае: почтовый ящик соответствующего канала блока SyncManager пуст.

Статусное битовое поле *Mailbox mode* (разряды 5:4) в регистре *SyncManager Status* устанавливается в состояние 00b в случае, когда используется буфер данных №0; устанавливается в состояние 01b в случае, когда используется буфер данных №1; устанавливается в состояние 10b в случае, когда используется буфер данных №3.

Статусный бит *Read buffer in use* (разряд 6) в регистре *SyncManager Status* устанавливается в случае, когда буфер используется для чтения.

Статусный бит *Write buffer in use* (разряд 7) в регистре *SyncManager Status* устанавливается в случае, когда буфер используется для записи.

Установленный бит *Latch Event ECAT* (разряд 6) в регистре *SyncManager Activate* разрешает фиксировать следующее событие: Ведущий ECAT изменил номер буфера для данных. Защелкнутая метка времени сохраняется в регистре *EtherCAT Buffer Change Event Time* (см. описание блока LatchInUnit).

Установленный бит *Latch Event PDI* (разряд 7) в регистре *SyncManager Activate* разрешает фиксировать следующее событие: процессор изменил номер буфера для данных или осуществляет доступ к начальному адресу буфера данных. Защелкнутая метка времени сохраняется в регистре *PDI Buffer Start Event Time* илив регистре *PDI Buffer Change Event Time* (см. описание блока LatchInUnit).

Переключающийся бит *Repeat Request* (разряд 1) в регистре *SyncManager Activate* фиксирует следующие событие: необходим повторный доступ к почтовому ящику.

Для разрешения срабатывания сторожевого таймера по событиям канала блока SyncManager необходимо установить бит *Watchdog Trigger Enable* (разряд 6) в регистре *SyncManager Control.*

Процессор может деактивировать канал блока SyncManager. Для этого необходимо установить бит *Deactivate SyncManager* (разряд 0) в регистре *SyncManager PDI Control* соответствующего канала. После деактивации канала, бит *Deactivate SyncManager* будет доступен в установленном состоянии при чтении регистра.

Если состояние бита *Repeat Ack* (разряд 0) в регистре *SyncManager PDI Control* соответствует состоянию бита *Repeat Request* (разряд 1) в регистре *SyncManager Activate*, то процессор подтверждает выполнение предыдущего запроса Ведущего ECAT.

## Описание работы блока DC

В сети ECAT в каждом Ведомом и в Ведущем вырабатывается синхронный тактовый сигнал. По этому синхронизируемому тактовому сигналу в блоке DC (distributed clock) отсчитывается единое синхронное между всеми ESC и Ведущем сети ECAT время SystemTime.

Параметры SystemTime:

- точка отсчета: 1 января 2000г., разрядность счетчика – 64 разряда;

- длительность локального тактового сигнала – 10 нс, представление времени с разрешающей способностью – 1 нс.

Блок DC включает следующие блоки:

- блок Time Loop Control Unit;

- блок Receive Times;

- блок SyncOutUnit;

- блок LatchEventUnit.

Процесс синхронизации с единым временем SystemTime происходит в блоке Time Loop Control Unit. Для своей работы блок Time Loop Control Unit использует выходы от блока Receive Times. В сети ECAT для ведения эталонного системного времени (Reference Clock) назначается один из ESC, обычно это первый контроллер, подсоединенный к порту Ведущего и имеющий блок DC. Все локальные таймеры всех ESC работают на одной частоте равной 100МГц.

Последовательность синхронизации Ведущим таймера System Time в каждом ESC следующий:

а) измерение задержки распространения (propagation delay measurement) между ESC в обоих направлениях прохождения пакета (прямое направление от порта Ведущего до последнего ESC в цепочке и обратное направление: от порта 0 последнего ESC до порта Ведущего);

б) компенсация смещения (offset compensation) отсчетов локальных таймеров с таймером Reference Clock. На этом этапе в блоке Time Loop Control Unit таймер SystemTime начинает отсчитывать единое (синхронизованное) время;

в) сброс блока Time Loop Control Unit для начала работы алгоритма компенсации ухода (drift compensation) величины тактового сигнала каждого ESC от эталонной величины тактового сигнала для таймера Reference Clock;

г) компенсация ухода величины тактового сигнала выполняется в статическом режиме и в динамическом режиме (периодически выполняя алгоритм drift compensation).

Задержка распространения propagation delay включает следующие составляющие: задержку распространения в микросхемах приемопередатчиков 100Base-TX; задержку в кабеле; задержку обработки пакетов внутри ESC.

Алгоритм измерения задержки распространения следующий:

а) Ведущий запускает широковещательный пакет записи (команда BWR) с адресом регистра *Receive Time Port 0* (0x0900:0x0903). Блок Receive Times в каждом ESC защелкивает значение своего локального таймера в регистрах: *Receive Time Port 0, Receive Time Port 1* (0x0904:0x0907), *Receive Time ECAT Processing Unit* (0x0918:0x091F).

б) Ведущий запускает пакеты чтения и собирает со всех ESC значения регистров *Receive Time Port 0, Receive Time Port 1.* Ведущий вычисляет propagation delay для каждого ESC и записывает значения задержек в регистр *System Time Delay* (0x0928:0x092B) каждого ESС.

Компенсация смещения (offset compensation) выполняется в следующем порядке:

а) Ведущий запускает широковещательный пакет записи (команда BWR) с адресом регистра *Receive Time Port 0* (0x0900:0x0903);

б) Ведущий собирает со всех ESC значения регистра *Receive Time ECAT Processing Unit* (0x0918:0x091F).

в) Ведущий вычисляет offset для каждого ESC и записывает значения задержек в регистр *System Time Offse*t (0x0920:0x0927) каждого ESС.

Сброс блока Time Loop Control Unit осуществляется записью в регистре *DC Speed Counter Start* (0x0930-0x0931).

Drift compensation в статическом режиме выполняется следующем образом:

а) Ведущий рассылает множество (количество – до 15 000) пакеты АRMW/FRMW с адресом регистра *DC System Time* (0x910-0x917). Каждый блок Time Loop Control Unit в ESC получает значение эталонного времени System Time и отсчитывает свое локальное синхронизованное время (local System Time).

Периодически алгоритм drift compensation повторяется Ведущими блок Time Loop Control Unit подстраивает свою локальную копию System Time (drift compensation в динамическом режиме).

### Описание работы блока Receive Times.

В регистре *Receive Time Port 0* (0x0900:0x0903) защелкивается значение локального таймера в момент прихода в порт с номером 0 первого бита поля преамбулы пакета при командах BWR или FPWR с адресом 0x0900.

В регистре *Receive Time Port 1* (0x0904:0x0907) защелкивается значение локального таймера в момент прихода в порт с номером 1 первого бита поля преамбулы пакета при командах BWR или FPWR с адресом 0x0900.

В регистре *Receive Time ECAT Processing Unit* (0x0918:0x091F) защелкивается значение локального таймера в момент прихода в EPU первого бита пакета при командах BWR или FPWR с адресом 0x0900.

### Описание работы блока Time Loop Control Unit.

Ведущий ECAT использует значения регистров, сохраненные в блоке Receive Times для вычисления задержки распространения. Вычисленные значения задержек для каждого контроллера ESC, Ведущий ECAT устанавливает в регистр *System Time Delay* (0x0928:0x092B).

После этого, Ведущий ECAT вычисляет смещение (offset) для каждого ESC. Для вычисления смещения, Ведущий ECAT считывает значения регистра *Receive Time ECAT Processing Unit* (0x0918:0x091F), регистра *Receive Time Port 0* (0x0900:0x0903) всех ESC и с учетом задержки распространения рассчитывает смещения. Вычисленные значения смещения, Ведущий ECAT устанавливает в регистр *System Time Offse*t (0x0920:0x0927).

Блок Time Loop Control Unit отсчитывает свое локальное единое время (Local copy of System Time) выполняя корректировку локального таймера по следующему алгоритму:

tLocal copy of System Time = tLocal time + tOffset.

Для компенсации дрожания отсчета единого времени в разных контроллерах ESC c разными точностями тактовых сигналов, Ведущий ECAT генерирует множество пакетов с командами: ARMW/FRMW с адресом регистра *DC System Time* (0x910-0x917). Контроллер ESC, ведущий самое точное единое время размещает в этой дейтаграмме значение своего регистра *DC System Time* (эталонное для всех остальных ESC), остальные контроллеры ESC записывают эталонное значение единого времени *System Time* в регистр *DC System Time* (0x910-0x917).

После записи нового значения блок Time Loop Control Unit вычисляет разницу между полученным эталонным значением единого времени и своей локальной копией единого времени *System Time.*

Вычисленное и усредненное значение дрожания локального единого времени размещаются в регистре *DC System Time Difference* (0x92C-0x92F). Установленный бит *Local copy of System Time* (разряд 31) данного регистра сигнализирует о том, что принятое значение единого времени больше или равно значению локального времени, иначе: принятое значение единого времени меньше значения локального времени. Усреднение значения дрожания локального единого времени производится с использованием количества отсчетов, определенных в регистре *DC System Time Difference Filter* (0x934).

В регистре *DC Speed Counter Start* (0x0930-0x0931) устанавливается количество отсчетов тактового сигнала частотой 100 МГц, длительность которых определяет время усреднения

В регистре *DC Speed Counter Diff* (0x0932-0x0933) размещается вычисленное значение отклонения периода тактового сигнала от периода тактового сигнала эталонного единого времени.

В регистре *DC Speed Counter Filter Depth* (0x0935) устанавливается значение фильтра усреднения периода тактового сигнала.

В составе блока DC имеются блоки выработки синхронных сигналов и синхронного захвата внутренних событий или внешних сигналов. Блок выработки синхронных сигналов (SyncOutUnit) может использоваться для следующих функций: генерации запроса на прерывание (процессору или Ведущему ECAT), генерации двух внешних сигналов SYNC0, SYNC1 для выработки запроса на прерывание для внешнего устройства.

Блок захвата внутренних событий или внешних сигналов (LatchEventUnit) защелкивает временный метки при изменении (как по фронту, так и по срезу) внешних входных сигналов LATCH0, LATCH1 и при изменении состояния буферов SyncManager.

Тип выходной ячейки и активный уровень внешних сигналов, разрешение запроса прерывания в регистре *AL Event Request* для блоков SyncOutUnit и LatchEventUnit сконфигурированы в регистре *Sync/Latch PDI Configuration* (0х151). Содержимое этого регистра устанавливается при загрузке содержимого SII EEPROM.

### Описание работы блока SyncOutUnit.

Для активирования работы блока SyncOutUnit необходимо установить бит *Distributed Clocks SYNC Out Unit* (разряд 2) в регистре *ESC Configuration* (0х141).

Доступ к установке режимов в регистрах блока SyncOutUnit определяется регистром *Cyclic Unit Control* (0x0980). При установленном бите *SYNC out unit control* (разряд 0)записи в регистры блокаSyncOutUnit разрешены только для микропроцессора (PDI), иначе: записи разрешены только для Ведущего ECAT.

Для активации блока SyncOutUnit необходимо в регистре *Activation register* (0x0981) установить бит *Sync Out Unit activation* (разряд 0). Для генерации сигнала SYNC0 необходимо в регистре *Activation register* (0x0981) установить бит *Sync0 generation* (разряд 1). Для генерации сигнала SYNC1 необходимо в регистре *Activation register* (0x0981) установить бит *Sync1 generation* (разряд 2).

Длительность импульса сигналов SYNC0, SYNC1 определяется в регистре *Pulse Length of SYNC signals* (0x0982-0х983). Содержимое этого регистра устанавливается при загрузке содержимого SII EEPROM.

SyncOutUnit генерирует сигнал SYNC0 в различных режимах и зависимый от сигнала SYNC0 второй синхросигнал SYNC1. Режимы генерации сигнала SYNC0: одиночный импульс, одиночный импульс длительность которого определяется циклом подтверждения процессора, циклическое изменение, привязанное к единому времени системы SystemTime.

1. Режимы одиночного импульса

Режим одиночного импульса (single shot mode) устанавливается программированием содержимого регистра *SYNC0 Cycle Time* (0x09A0-0x09A3) нулевым значением. Момент генерирования сигнала SYNC0 содержимым регистра *SYNC0 Start Time* (0х990-0х997), которое должно совпасть с системным временем System Time.

Режим одиночного импульса с подтверждением (single shot acknowledge mode) устанавливается программированием временем цикла в регистре *SYNC0 Cycle Time* (0x09A0-0x09A3) нулевым значением и программированием длительности импульса также нулевым значением в регистре *Pulse Length of SYNC signals* (0x0982-0х983). Момент генерирования сигнала SYNC0 содержимым регистра *SYNC0 Start Time* (0х990-0х997), далее сигнал SYNC0 остается активным до момента цикла подтверждения: чтение регистра *SYNC0 Status* (0x098E). Этот режим используется для генерирования запроса прерывания для внешнего устройства.

Для последующего генерирования импульса сигнала SYNC0 в одиночных режимах необходимо: в регистре *Activation register* (0x0981) сбросить бит *Sync0 generation* (разряд 1); установить новый момент генерирования сигнала в регистре *SYNC0 Start Time* (0х990-0х997); в регистре *Activation register* (0x0981) установить бит *Sync0 generation* (разряд 1);

Для последующего генерирования импульса сигнала SYNC1 в одиночных режимах необходимо: в регистре *Activation register* (0x0981) сбросить бит *Sync1 generation* (разряд 2); установить новый момент генерирования сигнала в регистре *NEXT SYNC0 Pulse* (0х998-0х99F); в регистре *Activation register* (0x0981) установить бит *Sync1 generation* (разряд 2).

1. Циклические режимы

Циклически режим позволяет начать генерировать сигнал SYNC0 в момент совпадения системного времени System Time с содержимым регистра *SYNC0 Start Time* (0х990-0х997). Моменты последующих установок сигнала SYNC0в активное состояние определяется временем цикла в регистре *SYNC0 Cycle Time* (0x09A0-0x09A3). Если длина импульса больше временем цикла, то сигнал SYNC0 генерируется при достижении стартового времени (регистр *SYNC0 Start Time,* 0х990-0х997).

Циклический режим с подтверждением устанавливаетсяпрограммированием нулевым значением регистра *Pulse Length of SYNC signals* (0x0982-0х983). После установки в активное состояние, каждый сигнал SYNC0 и SYNC1 остается в этом состоянии до цикла подтверждения: чтение регистра *SYNC0 Status* (0x098E) для сигнала SYNC0 или чтение регистра *SYNC1 Status* (0x098F) для сигнала SYNC1.

1. Отладочные режимы

Возможность использовать режимов работы, перечисленных в данном разделе, определяется по установленному биту с номером 8 в регистре *ESC Features supported (*0x0008:0x0009).

Для автоматического запуска генерации последующих импульсов при изменении времени цикла необходимо установить бит *Auto-activation* (разряд 3) в регистре *Activation* (0x0981).

Для непосредственной установки сигналов SYNC0 и SYNC1 в момент обращений в управляющие регистры необходимо: установить бит *SyncSignal debug pulse* (разряд 7) в регистре *Activation* (0x0981). Бит *SyncSignal debug pulse* сбрасывается блоком SyncOutUnit после перехода сигналов в неактивное состояние.

При установке бита *Extension of Start Time Cyclic Operation* (разряд 4)в регистре *Activation* (0x0981) моменты системного времени SystemTime (и значения начального времени) для генерации сигналов SYNC0 и SYNC1 определяются 64-х битными значениями, иначе: младшими 32-х битными значениями.

При установке бита *Start Time plausibility check* (разряд 5)в регистре *Activation* (0x0981) момент генерации сигналов SYNC0 и SYNC1 наступает при условии, что счетчик системного времени SystemTime находится вне диапазона времени near future. Диапазон времени near future определяется как длительность временного интервала до момента времени, определенного в регистре *SYNC0 Start Time* (0х990-0х997). Длительность временного интервала определяется битом *Near future configuration* (разряд 6) в регистре *Activation*(0x0981). Если данный бит установлен, то длительность временного интервала равна 2.1 сек. (длительность работы 31-го разрядного счетчика), иначе: длительность временного интервала равна 2.1 сек, при сброшенном бите *Extension of Start Time Cyclic Operation* (разряд 4)в регистре *Activation* (0x0981) или длительность временного интервала равна длительности счета 63-х разрядного счетчика, при установленном бите *Extension of Start Time Cyclic Operation* (разряд 4)в регистре *Activation* (0x0981).

### Описание работы блока LatchEventUnit.

Работа блока LatchEventUnit определяется следующими регистрами управления/статуса:

*ESC Configuration* (0х141)*;*

*Sync/Latch PDI Configuration* (0х151)*;*

*Cyclic Unit Control* (0x0980);

*Latch0 Control* (0x09A8);

*Latch1Control* (0x09A9);

*Latch0 Time Positive Edge* (0x09B0-0x09B7);

*Latch0 Time Negative Edge* (0x09B8-0x09BF);

*Latch1 Time Positive Edge* (0x09С0-0x09С7);

*Latch1Time Negative Edge* (0x09С8-0x09СF);

*Latch0 Status* (0x09AE);

*Latch1 Status* (0x09AF);

*AL Event Request* (0x220-0x223);

*EtherCAT Buffer Change Event Time* (0х09F0-0x09F3);

*PDI Buffer Start Event Time* (0х09F8-0x09FB);

*PDI Buffer Change Event Time* (0х09FС-0x09FF).

Для активирования работы блока LatchEventUnit необходимо установить бит *Distributed Clocks Latch In Unit* (разряд 3) в регистре *ESC Configuration* (0х141).

В регистре *Sync/Latch PDI Configuration* (0х151) отображаются биты разрешения работы блока LatchEventUnit с внешними сигналами: *SYNC0/LATCH0 configuration* (разряд 2) *SYNC1/LATCH1 configuration* (разряд 6). Установка данных разрядов осуществляется при загрузке содержимого SII EEPROM.

Доступ к установке режимов в регистрах блока LatchEventUnit определяется регистром *Cyclic Unit Control* (0x0980). При установленном бите *Latch In unit 0* (разряд 4),записи в регистры блокаLatchEventUnit (сигнал LATCH0) разрешены только для микропроцессора (PDI), иначе: записи разрешены только для Ведущего ECAT. При установленном бите *Latch In unit 1* (разряд 5),записи в регистры блокаLatchEventUnit (сигнал LATCH1) разрешены только для микропроцессора (PDI), иначе: записи разрешены только для Ведущего ECAT.

БлокLatchEventUnit может работать в следующих режимах: одиночный режим (single event mode); циклический режим (continuous mode).

1. Одиночный режим работы для сигнала LATCH0 устанавливается в регистре *Latch0 Control* (0x09A8): установка бита *Latch0 positive edge* (разряд 0); установка бита *Latch0 negative edge* (разряд 1).

Одиночный режим работы для сигнала LATCH1 устанавливается в регистре *Latch1 Control* (0x09A9): установка бита *Latch1positive edge* (разряд 0); установка бита *Latch1 negative edge* (разряд 1).

Защелкнутая временная метка при изменении сигнала LATCH0 (режим изменения определен в регистре *Latch0 Control* (0x09A8) сохраняется в регистрах: *Latch0 Time Positive Edge* (0x09B0-0x09B7), *Latch0 Time Negative Edge* (0x09B8-0x09BF). Защелкнутая временная метка при изменении сигнала LATCH1 (режим изменения определен в регистре *Latch1 Control* (0x09A9) сохраняется в регистрах: *Latch1 Time Positive Edge* (0x09С0-0x09С7), *Latch1 Time Negative Edge* (0x09С8-0x09СF).

Статусные биты о произошедшем событии: защелкивании изменения сигналов LATCH0 и LATCH1 размещены в регистрах: установленный бит *Event Latch0 positive edge* (разряд 0) в регистре *Latch0 Status* (0x09AE) при приходе фронта сигнала LATCH0; установленный бит *Event Latch0 negative edge* (разряд 1) в регистре *Latch0 Status* (0x09AE) при приходе среза сигнала LATCH0; установленный бит *Event Latch1 positive edge* (разряд 0) в регистре *Latch1 Status* (0x09AF) при приходе фронта сигнала LATCH1; установленный бит *Event Latch1 negative edge* (разряд 1) в регистре *Latch1 Status* (0x09AF) при приходе среза сигнала LATCH1.

Статусные биты сбрасываются при чтении соответствующих регистров защелкнутых временных меток *Latch0,1 Time.* Сборка по ИЛИ всех статусных битов размещается в регистре запросов прерывания *AL Event Request* (0x220-0x223): установленный бит *DC Latch event* (разряд 1).

1. Циклический режим для сигнала LATCH0 устанавливается в регистре *Latch0 Control* (0x09A8): сброс бит *Latch0 positive edge* (разряд 0); сброс бита *Latch0 negative edge* (разряд 1).

Циклический режим работы для сигнала LATCH1 устанавливается в регистре *Latch1 Control* (0x09A9): сброс бита *Latch1positive edge* (разряд 0); сброса бита *Latch1 negative edge* (разряд 1).

Статусные биты в этом режиме не устанавливаются. Защелкнутая временная метка при изменении сигналов сохраняется в соответствующих регистрах *Latch0,1 Time* и обновляется только после чтения регистра защелкнутой временной метки.

1. Режим защелкивания событий от внутренних сигналов.

В регистре *EtherCAT Buffer Change Event Time* (0х09F0-0x09F3) сохраняется временная метка начала пакета ECAT, который управляется одним из блоков SyncManager.

В регистре *PDI Buffer Start Event Time* (0х09F8-0x09FB) сохраняется временная метка, когда один из блоков SyncManager предоставляет доступ к буферу данных через порт PDI.

В регистре *PDI Buffer Change Event Time* (0х09FС-0x09FF) сохраняется временная метка, когда один из блоков SyncManager переключает буфер данных для порта PDI.

## Описание блока прерываний

Запросы прерывания для процессора передаются сигналом IRQ или сигналами SYNC0 и SYNC1, а запросы прерывания для Ведущего ECAT передаются в дейтаграммах EtherCAT в специальном поле IRQ.

Источники сигнала IRQ собраны в регистре *AL Event Request* (0x0220-0x0223), установленные биты сигнализируют о наличие запроса прерывания. Разряды регистра *AL Event Request* побитно маскируются разрядами регистра *PDI AL Event Mask* (0x0204-0x0207). Если разряд регистра маски установлен, то соответствующий источник прерывания размаскирован. Размаскированные разряды регистра источников прерывания объединяются по ИЛИ и образуют общий запрос на прерывание – сигнал IRQ.

Источники запроса прерывания в регистре *AL Event Request* следующие:

- бит *AL Control event* (разряд 0) сигнализирует, что в регистр *AL Control* (0x0120-0x0121) была произведена запись, бит сбрасывается при чтении процессором регистра *AL Control*;

- бит *DC Latch event* (разряд 1) – это сборка по ИЛИ статусных бит защелкнутых изменений внешних сигналов LATH0 и LATH1 (см. Описание работы блока LatchEventUnit). Бит сбрасывается чтением процессором соответствующих регистров, защелкнутых временных меток *Latch0,1 Time*;

- бит *State of DC SYNC0* (разряд 2) сигнализирует о генерации сигнала SYNC0 в режимах работы с подтверждением (см. Описание работы блока SyncOutUnit). Бит сбрасывается при выполнении чтения процессором регистра *SYNC0 Status* (0x098E);

- бит *State of DC SYNC1*(разряд 3) сигнализирует о генерации сигнала SYNC1 в режимах работы с подтверждением (см. Описание работы блока SyncOutUnit). Бит сбрасывается при выполнении чтения процессором регистра *SYNC1 Status* (0x098F);

- бит *SyncManager activation register* (разряд 4) сигнализирует, что хотя бы в один из регистров *SyncManager Activation* была произведена запись. Бит сбрасывается процессором при чтении регистров *SyncManager Activation*;

- бит *EEPROM Emulation* (разряд 5) сигнализирует о том, что в режиме эмуляции SII EEPROM выданная команда выполнена. Бит сбрасывается при выполнении процессором команды подтверждения (регистр *SII EEPROM Control/Status* (0х0502-0х0503));

- бит *Watchdog Process Data* (разряд 6) сигнализирует о срабатывании сторожевого таймера. Бит сбрасывается при чтении процессором регистра *Watchdog Status Process Data* (0х0440);

- бит *SyncManager0 interrupts* (разряд 8) – это сборка по ИЛИ статусных бит *Interrupt Write* (разряд 0) и *Interrupt Read* (разряд 1) в регистре *SyncManager0 Status* (0х0805)*.* Бит *SyncManager0 interrupts* сбросится только при сбросе всех двух статусных битов: *Interrupt Write* и *Interrupt Read* (см. Описание работы блока SyncManager);

- бит *SyncManager1 interrupts* (разряд 9) – это сборка по ИЛИ статусных бит *Interrupt Write* (разряд 0) и *Interrupt Read* (разряд 1) в регистре *SyncManager1 Status* (0х080D)*.* Бит *SyncManager1interrupts* сбросится только при сбросе всех двух статусных битов: *Interrupt Write* и *Interrupt Read*;

- бит *SyncManager2 interrupts* (разряд 10) – это сборка по ИЛИ статусных бит *Interrupt Write* (разряд 0) и *Interrupt Read* (разряд 1) в регистре *SyncManager2 Status* (0х0815)*.* Бит *SyncManager2interrupts* сбросится только при сбросе всех двух статусных битов: *Interrupt Write* и *Interrupt Read*;

- бит *SyncManager3 interrupts* (разряд 11) – это сборка по ИЛИ статусных бит *Interrupt Write* (разряд 0) и *Interrupt Read* (разряд 1) в регистре *SyncManager3 Status* (0х081D)*.* Бит *SyncManager3interrupts* сбросится только при сбросе всех двух статусных битов: *Interrupt Write* и *Interrupt Read*.

Источники запросов прерывания для Ведущего ECAT собраны в регистре *ECAT Event Request* (0x0210-0x0211), установленные биты сигнализируют о наличие запроса прерывания. Разряды регистра *ECAT Event Request* побитно маскируются разрядами регистра *ECAT Event Mask* (0x0200-0x0201). Если разряд регистра маски установлен, то соответствующий источник прерывания размаскирован. Размаскированные разряды регистра источников прерывания объединяются по ИЛИ с полем IRQ текущей дейтаграммы и образуют новое поле IRQ, которое вставляется в исходящую от контроллера ESC дейтаграмму.

Источники запроса прерывания в регистре *ECAT Event Request* следующие:

- бит *DC Latch event* (разряд 0) – это сборка по ИЛИ статусных бит защелкнутых изменений внешних сигналов LATH0 и LATH1 (см. Описание работы блока LatchEventUnit). Бит сбрасывается чтением процессором соответствующих регистров защелкнутых временных меток *Latch0,1 Time*;

- бит *DL Status event* (разряд 0) сигнализирует о том, что содержимое регистра *DL Status* (0x0110-0x0111) изменилось, бит сбрасывается при чтении Ведущим ECAT регистра *DL Status*;

- бит *AL Status event* (разряд 2) сигнализирует о том, что содержимое регистра *AL Status* (0x0130-0x0131) изменилось, бит сбрасывается при чтении Ведущим ECAT регистра *AL Status*;

- бит *Sync Channel 0 event* (разряд 3) является сборкой по ИЛИ статусных бит *Interrupt Write* (разряд 0) и *Interrupt Read* (разряд 1) в регистре *SyncManager0 Status* (0х0805)*.* Бит *Sync Channel 0 event* сбросится только при сбросе всех двух статусных битов: *Interrupt Write* и *Interrupt Read* (см. Описание работы блока SyncManager);

- бит *Sync Channel 1 event* (разряд 4) является сборкой по ИЛИ статусных бит *Interrupt Write* (разряд 0) и *Interrupt Read* (разряд 1) в регистре *SyncManager1 Status* (0х080D)*.* Бит *Sync Channel 1 event* сбросится только при сбросе всех двух статусных битов: *Interrupt Write* и *Interrupt Read*;

- бит *Sync Channel 2 event* (разряд 5) является сборкой по ИЛИ статусных бит *Interrupt Write* (разряд 0) и *Interrupt Read* (разряд 1) в регистре *SyncManager2 Status* (0х0815)*.* Бит *Sync Channel 2 event* сбросится только при сбросе всех двух статусных битов: *Interrupt Write* и *Interrupt Read*;

- бит *Sync Channel 3 event* (разряд 6) является сборкой по ИЛИ статусных бит *Interrupt Write* (разряд 0) и *Interrupt Read* (разряд 1) в регистре *SyncManager3 Status* (0х081D)*.* Бит *Sync Channel 3 event* сбросится только при сбросе всех двух статусных битов: *Interrupt Write* и *Interrupt Read*.

При установленном бите *PDI function acknowledge by write* в регистре *PDI Information* (0x014E:0x014F) сброс статусов прерываний осуществляется записью любого значения в соответствующий регистр вместо чтения.

Список регистров, разряды которых сбрасываются записью в этом режиме:

Watchdog Status Process Data

SyncManager (0...3) Activate

SYNC0 Status

SYNC1 Status

DC – Latch0 Positive Edge

DC – Latch0 Negative Edge

DC – Latch1Positive Edge

DC – Latch1 Negative Edge

## Описание блока сторожевых таймеров

Контроллер ESC имеет в своем составе два независимых сторожевых таймера: один используется для слежения за событиями шины PDI, другой – для слежения за событиями шины ECAT. Время срабатывания таймеров настраивается индивидуально, однако используется один пред-делитель в регистре *Watchdog Divider* (0х0400-0х0401). Опорная частота пред-делителя и счетчиков сторожевых таймеров равна 25 МГц.

Блок сторожевых таймеров управляется следующими регистрами управления/статуса:

ESC DL Status (0х0110);

*Watchdog Divider* (0х0400-0х0401);

*Watchdog Time PDI* (0х0410-0х0411);

Watchdog Time Process Data (0х0420-0х0421);

Watchdog Status Process Data (0х0440-0х0441);

Watchdog Counter Process Data (0х0442);

Watchdog Counter PDI (0х0443);

*SyncManager Control* (0х0804 + номер канала \*8).

Сторожевой таймер *Watchdog Time PDI* сбрасывается при циклах чтения/записи процессора, завершившиеся без ошибок. Для активации сторожевого таймера необходимо установить в регистре *Watchdog Time PDI* (0х0410-0х0411) значение отличное от нулевого, в противном случае работа сторожевого таймера запрещена. При срабатывании сторожевого таймера с установленным в регистрах *Watchdog Divider* и *Watchdog Time PDI* временным интервалом: устанавливается бит *PDI Watchdog Status* (разряд 1) регистра *EDC DL Status* (0x0110-0x0111); содержимое регистра *Watchdog Counter PDI* (0х0443) увеличивается на единицу.

Сторожевой таймер *Watchdog Time Process Data* сбрасывается при условии, что успешно завершился цикл записи в буфер данных соответствующего канала блока SyncManager, при условии, что установлен бит *Watchdog Trigger Enable* (разряд 6) в соответствующем регистре *SyncManager Contol*. Для активации сторожевого таймера необходимо установить в регистре *Watchdog Time Process Data* (0х0420-0х0421) значение отличное от нулевого, в противном случае работа сторожевого таймера запрещена.

При срабатывании сторожевого таймера с установленным в регистрах *Watchdog Divider* и *Watchdog Time Process Data* временным интервалом: сбрасывается бит *Watchdog Status of Process Data* (разряд 0) регистра *Watchdog Status Process Data* (0х0440-0х0441); содержимое регистра *Watchdog Counter Process Data* (0х0442) увеличивается на единицу.

## Описание блока мониторинга

В целях определения различных ошибок и их локализации в контроллере предусмотрен блок мониторинга, в составе которого находятся счетчики ошибочных событий. Счетчики останавливают счет при значении насыщения: 0xFF. Чтобы перезапустить счетчики необходимо произвести цикл записи любого значения в один из счетчиков ошибок.

Счетчик *Invalid frame counter* *of Port 0* (разряды 7-0) регистра *Rx Error Counter0* (0x0300-0x0301) подсчитывает поврежденные пакеты на порту 0. В подсчёт входят любые ошибки преамбулы, fifo-overflow/underflow, слишком длинный пакет (длина>2047байт), MII\_RX\_ER (внутри пакета) и неправильный FCS (если нет дополнительного полубайта). Счетчик *RX Error counter of Port 0* (разряды 15-8) регистра *Rx Error Counter0* (0x0300-0x0301) подсчитывает ошибки, детектированные микросхемой PHY (сигнал MII\_RX\_ER) на порту 0. Считаются ошибки как внутри пакета, так и вне его.

Счетчик *Invalid frame counter* *of Port 1*(разряды 7-0) регистра *Rx Error Counter1* подсчитывает поврежденные пакеты на порту 1. Счетчик *RX Error counter of Port 1* (разряды 15-8) регистра *Rx Error Counter1* (0x0302-0x0303) подсчитывает входящие поврежденные пакеты на порту 1.

Счетчик *Forwarded Rx Error counter*0 (0x0308) подсчитывает поврежденные входящие пакеты на порту 0 с отметкой об ошибке от предыдущего порта, т.е. с неправильным FCS и дополнительным полубайтом.

Счетчик *Forwarded Rx Error counter1* (0x0309) подсчитывает поврежденные входящие пакеты на порту 1 с отметкой об ошибке от предыдущего порта.

Счетчик *ECAT Processing Unit Error Counter* (0x030С) подсчитывает поврежденные пакеты при прохождении их через ECAT Processing Unit. Это те же ошибки, что и в *Rx Error Counter0* и *Forwarded Rx Error counter0* плюс специфические ошибки EPU (например, «Non-EtherCAT-пакет и разряд регистра 0x0100[0]=1» или «Circulating bit=1 и порт 0 закрыт»).

Счетчик *PDI Error Counter* (0x030D) подсчитывает циклы процессора, завершившиеся с ошибкой.

Счетчик *Lost Link Counter0* (0x0310) подсчитывает событие: потеря link на порту 0.

Счетчик *Lost Link Counter1*(0x0311) подсчитывает событие: потеря link на порту 1.

Счетчик *Watchdog Counter Process Data* (0x030С) подсчитываетсрабатывания сторожевого таймера *Watchdog Time Process Data* (см. Описание блока сторожевых таймеров).

Счетчик *Watchdog Counter PDI* (0x030С) подсчитывает срабатывания сторожевого таймера *Watchdog Time PDI* (см. Описание блока сторожевых таймеров).

## Описание блока индикаторов состояния

Контроллер управляет двумя индикаторами (сигналы RUNLED и ERRLED) состояния и зафиксированных ошибок.

Индикатор RUNLED управляется битовым полем *Actual State of the Device State Machine* (разряды 3:0) в регистре *AL Status*(0x0130:0x0131). Индикатор выключен, если контроллер находится в состоянии INIT. Индикатор мигает с частотой 0.5 Гц, если контроллер находится в состоянии PRE-OPERATIONAL. Индикатор мигает один раз в течении 10 сек., если контроллер находится в состоянии SAFE-OPERATIONAL. Индикатор включен постоянно, если контроллер находится в состоянии OPERATIONAL. Индикатор мигает с частотой 2 Гц, если контроллер находится в состоянии BOOTSTRAP либо идет загрузка SII EEPROM.

Непосредственное управление индикатором RUNLED производится установкой бита *Enable Override* (разряд 4) в регистре *RUN LED Override* (0x0138). При установке битового поля *LED code* (разряды 3:0) в регистре *RUN LED Override* (0x0138) в состояния в диапазоне от 0x0 до 0хF, индикатор RUNLED может быть выключен, мигать с разной частотой и быть включенным постоянно.

Индикатор ERRLED отображает ошибки работы контроллера в автоматическом режиме. Также предусмотрено непосредственное управление индикатором процессором.

Индикатор ERRLED не горит при отсутствии ошибок; индикатор мигает с частотой 0.5 Гц, если контроллер не смог успешно загрузить SII EEPROM; индикатор мигает один раз в течении 10 сек., если установлен бит *Error Ind* (разряд 4) в регистре *AL Status* (0х130) и режим device emulation выключен; индикатор мигает два раза в течении 10 сек, если сработал сторожевой таймер Process Data - сброшен бит *Watchdog Status of Process Data* (разряд 0) регистра *Watchdog Status Process Data* (0x0440-0x0441) и контроллер находится в состоянии OPERATIONAL; индикатор горит постоянно при условии, что сработал сторожевой таймер PDI - сброшен бит *PDI Watchdog Status*  (разряд 1) регистра *ESC DL Status* (0x0110-0x0111).

## Описание работы блока SII EEPROM

Конфигурирование контроллера для выполнения определенных функций выполняется также и на этапе инициализации процессора. На этом этапе происходит загрузка значений переменных в заранее определенные регистры. Автоматическая загрузка по включению питания и по сигналу установки в начальное состояние (сигнал RESETn) производит блок SII EEPROM. Загружаемые значения хранятся во внешней энергонезависимой памяти (обычно применяется EEPROM), данная EEPROM (SII EEPROM – Slave Information Interface) подключается к микросхеме микроконтроллера по интерфейсу I2C. Загрузка происходит с тактовой частотой 100 КГц, требуемый объем памяти микросхемы EEPROM не менее 32 Кбит (поле адреса ячейки памяти EEPROM занимает два байта), адрес микросхемы (device address) в адресном пространстве интерфейса подключения I2C должен быть установлен значением: 101 0000. Содержимым микросхемы EEPROM является определенная стандартом EtherCAT информация о контроллере Ведомого EtherCAT (ESI – EtherCAT Slave Information). Обязательная область ESI занимает адреса в EEPROM: 0х00 – 0х3F.

Ведущий ECAT или процессор могут перезагрузить содержимое SII EEPROM, а также записать отдельные ячейки памяти или полностью всё содержимое с использованием блока SII EEPROM.

Блок SII EEPROM управляется с помощью следующих управляющих/статусных регистров:

SII EEPROM Configuration (0х0500);

SII EEPROM PDI Access State (0х0501);

SII EEPROM Control/Status (0х0502-0х0503);

SII EEPROM Address (0х0504-0х0507);

SII EEPROM Data (0х0508-0х050B).

Ведущий ECAT управляет блоком SII EEPROM при условии, что: сброшен бит *EEPROM control is offered to PDI* (разряд 0) регистра *SII EEPROM Configuration* (0х0500) и сброшен бит *Access to EEPROM* (разряд 0) регистра *SII EEPROM PDI Access State* (0х0501). В противном случае, блоком SII EEPROM управляет процессор.

При включении питания, блок SII EEPROM автоматически загружает содержимое из SII EEPROM и устанавливает следующие регистры контроллера: *PDI Control* (0х0140), *ESC Configuration* (0х0141), *PDI Configuration* (0х0150), *Pulse Length of SYNC Signals* (0х0982-0х0983), *Extended PDI Configuration* (0х0152-0х0153), *Configured Station Alias* (0х0012-0х0013). Загружаемые данные проверяются на целостность сравнением с записанной в SII EEPROM контрольной суммой. При успешной загрузке данных, устанавливается бит *EEPROM loading status* (разряд 12) регистра *SII EEPROM Control/Status* (0х0502-0х0503), в противном случае статусный бит сбрасывается.

Для записи/чтения содержимого SII EEPROM через управляющие регистры блока SII EEPROM необходимо выполнить следующий алгоритм:

- дождаться сброса бита *Busy* (разряд 15) регистра *SII EEPROM Control/Status* (0х0502-0х0503);

- проверить снятые статусные биты ошибок*: Checksum Error in ESC Configuration Area* (разряд 11), *EEPROM loading status* (разряд 12), *Error Acknowledge/Command* (разряд 13), *Error Write Enable* (разряд 14) регистра *SII EEPROM Control/Status* (0х0502-0х0503); установленные биты сбросить;

- установить значение адреса слова ячейки SII EEPROM в регистр *SII EEPROM Address* (0х0504-0х0507);

- для команды записи установить значение записываемых данных в регистре *SII EEPROM Data* (0х0508-0х050B);

- установить значение выполняемой команды в битовое поле *Command register* (разряды 10:8) регистра *SII EEPROM Control/Status* (0х0502-0х0503) из следующего диапазона значений:

значение 000b – сброс статусных битов; значение 001b – команда чтения; значение 010b – команда записи; значение 100b – команда автоматической загрузки содержимого SII EEPROM;

- дождаться сброса бита *Busy* (разряд 15) регистра *SII EEPROM Control/Status* (0х0502-0х0503);

- проверить статусные биты ошибок*: Checksum Error in ESC Configuration Area* (разряд 11), *EEPROM loading status* (разряд 12), *Error Acknowledge/Command* (разряд 13), *Error Write Enable* (разряд 14) регистра *SII EEPROM Control/Status* (0х0502-0х0503), если биты не установлены, то команда выполнена успешно;

- после выполнения команды чтения, прочитанные данные находятся в регистре *SII EEPROM Data* (0х0508-0х050B).

В случае ошибочного выполнения команды необходимо очистить статусные биты.

Содержимое конфигурационной области показано в таблице 2.5. Ведущий EtherCAT может вызвать чтение содержимого EEPROM. В этом случае регистры Configured Station Alias (0x0012:0x0013) и ESC Configuration (0x0140:0x0141) не конфигурируются из EEPROM. Данные регистры конфигурируются только при начальной загрузке из EEPROM.

Таблица 2.5 – Стандартная область конфигурации

|  |  |  |  |
| --- | --- | --- | --- |
| **Адрес слова** | **Параметр** | **Описание** | **Адрес регистра** |
| 0x0 | PDI Control/ ESC Configuration | Значения для инициализации регистра ESC Configuration | 0x0140:0x0141 |
| 0x1 | PDI Configuration | Значения для инициализации регистра PDI Configuration | 0x0150:0x0151 |
| 0x2 | Pulse Length of SYNC Signals | Значения для инициализации регистра Pulse Length of SYNC Signals | 0x0982:0x0983 |
| 0x3 | Extended PDI Control | Значения для инициализации регистра Extended PDI Configuration | 0x0152:0x0153 |
| 0x4 | Configured Station Alias | Значения для инициализации регистра Configured Station Alias | 0x0012:0x0013 |
| 0x5 | Зарезервировано | Зарезервировано, должно быть заполнено 0 | - |
| 0x6 | Зарезервировано | Зарезервировано, должно быть заполнено 0 | - |
| 0x7 | Контрольная сумма | Полином x8+x2+x+1 для слов 0-6.  Начальное значение полинома 0xFF. | - |

Дополнительно к стандартной области конфигурации, контроллер EEPROM обрабатывает дополнительную область хранения для конфигурации пользовательских регистров. Данная область располагается по адресу, указанному в разрядах 31:16 регистра EEPROM USER DEFINED REGS 0x0e54. Структура для конфигурации регистра содержит 16 разрядов адреса регистра, 4 разряда стробов разрешения записи байтов и 32 разряда данных для записи в регистр. Контроллер последовательно читает данные из ППЗУ и конфигурирует регистры. Концом области конфигурации является значение 0xFFFF, записанное в поле адреса регистра. Ведущий Ethercat может запустить конфигурацию пользовательских регистров записью “1” в разряд 0 регистра EEPROM USER DEFINED REGS 0x0e54. При окончании процесса конфигурации разряд 8 регистра 0x0e54 в “1”. Для сброса регистра необходимо записать “1” в разряд 8.

Формат дополнительной области приведён в таблице 2.6.

Таблица 2.6 – Область дополнительной конфигурации

|  |  |  |
| --- | --- | --- |
| **Адрес** | **Значение** | **Описание** |
| 0x400 | REG 0 ADDR[15:0] | Адреса регистра 0 |
| 0x401 | REG 0 WSTRB[3:0] | Сигналы разрешения записи байтов регистра 0 в разрядах 3:0. Остальные разряды игнорируются |
| 0x402 | REG 0 WDATA[15:0] | Разряды 15:0 данных регистра 0 |
| 0x403 | REG 0 WDATA[31:16] | Разряды 31:16 данных регистра 0 |
| 0x404 | REG 1 ADDR[15:0] | Младшие разряды адреса регистра 1 |
| 0x405 | REG 1 WSTRB[3:0] | Сигналы разрешения записи байтов регистра 1 |
| 0x406 | REG 1 WDATA[15:0] | Разряды 15:0 данных регистра 1 |
| 0x407 | REG 1 WDATA[31:16] | Разряды 31:16 данных регистра 1 |
| … | … | ... |

## Защита от записи регистров контроллера

Ведущий ECAT может заблокировать запись как в регистры, так и в буфер User RAM и в Process Data RAM. Для блокирования записи в регистры (за исключением регистров: *Write Register Enable* (0x0020), *ESC Write Enable* (0x0030)), расположенных в области 0x0000 – 0x0F7F, Ведущий ECAT устанавливает *WriteRegisterProtection*. Для временного снятия блокировки Ведущий ECAT устанавливает в дейтаграмме *WriteRegisterEnable,* последующие записи в регистры в данном пакеты будут разрешены. Бит *Write Register Enable* сбросится при приеме начала следующего пакета. Для блокирования записи в регистры (за исключением регистров: *Write Register Enable* (0x0020), *ESC Write Enable* (0x0030)), расположенных в области 0x0000 – 0x0F7F, в буфер User RAM и в Process Data RAM, Ведущий ECAT устанавливает *ESCWriteProtection*, последующие записи в регистры и память в данном пакете будут разрешены. Бит *ESCWriteEnable* сбросится при приеме начала следующего пакета.

# Описание регистров контроллера ESC

Регистры контроллера ESC состоят из следующих областей;

- регистры СSR;

- буфер User RAM размером 128 байт.

Доступ к регистрам со стороны порта PDI (процессор) при чтении разрешен всегда, а для записи защищен от изменения значений основных регистров, и после начальной инициализации по записи доступны только несколько регистров: *Configured Station Address*, *ESC Reset PDI,* *AL Control,* *AL Status,* *AL Status Code*, *RUN LED Override,* *ERR LED Override, PDI AL Event Mask,* *Watchdog Status Process Data, SyncManager(0...3) PDI Control,* буфер *User RAM.* Делегировать процессору возможность управлять некоторыми блоками Ведущий ECAT может только при выполнении алгоритмов изменения битов доступа типа «семафор». Более подробно о порядке предоставлении доступа процессора к регистрам управления определенных блоков изложено в описании работы соответствующих блоков.

Регистры, которые расположены по адресам, не указанные в разделе 3.1 считаются зарезервированными. Зарезервированные, для дальнейших версий контроллера, регистры при чтении выдают нулевое значение, при записи в эти регистры необходимо записывать нули. Зарезервированные разряды также при чтении выдают нулевое значение, при записи в эти разряды необходимо записывать нули. Доступ ко всем регистрам: байтовый, словный или 32-х разрядный.

## Перечень регистров контроллера

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Адрес | Название регистра | Тип доступа ECAT | | Тип доступа через порт Ведущего PDI (процессор) |
| ESC Information | | | | |
| 0x0000 | Type | чтение | | чтение |
| 0x0001 | Revision | чтение | | чтение |
| 0x0002:0x0003 | Build | чтение | | чтение |
| 0x0004 | FMMUs supported | чтение | | чтение |
| 0x0005 | SyncManagers supported | чтение | | чтение |
| 0x0006 | RAM Size | чтение | | чтение |
| 0x0007 | Port Descriptor | чтение | | чтение |
| 0x0008:0x0009 | ESC Features supported | чтение | | чтение |
| Station Address | | | | |
| 0x0010:0x0011 | Configured Station Address | чтение/ запись | | чтение |
| 0x0012:0x0013 | Configured Station Alias | чтение | | чтение/запись |
| Write Protection | | | | |
| 0x0020 | Write Register Enable | чтение/ запись | | чтение |
| 0x0021 | Write Register Protection | чтение/ запись | | чтение |
| 0x0030 | ESC Write Enable | чтение/ запись | | чтение |
| 0x0031 | ESC Write Protection | чтение/ запись | | чтение |
| Data Link Layer | | | | |
| 0x0040 | ESC Reset ECAT | чтение/ запись | | чтение |
| 0x0041 | ESC Reset PDI | чтение | | чтение/запись |
| 0x0100:0x0101 | ESC DL Control | чтение/ запись | | чтение |
| 0x0102:0x0103 | Extended ESC DL Control | чтение/ запись | | чтение |
| 0x0108:0x0109 | Physical Read/Write Offset | чтение/ запись | | чтение |
| 0x0110:0x0111 | ESC DL Status | чтение | | чтение |
| Application Layer | | | | |
| 0x0120:0x0121 | AL Control | чтение/ запись | | чтение/запись |
| 0x0130:0x0131 | AL Status | чтение | | чтение/запись |
| 0x0134:0x0135 | AL Status Code | чтение | | чтение/запись |
| 0x0138 | RUN LED Override | чтение/ запись | | чтение/запись |
| 0x0139 | ERR LED Override | чтение/ запись | | чтение/запись |
| PDI (Process Data Interface) | | | | |
| 0x0140 | PDI Control | чтение | | чтение |
| 0x0141 | ESC Configuration | чтение | | чтение |
| 0x014E:0x014F | PDI Information | чтение | | чтение |
| 0x0150 | PDI Configuration | чтение | | чтение |
| 0x0151 | DC Sync/Latch Configuration | чтение | | чтение |
| 0x0152:0x0153 | Extended PDI Configuration | чтение | | чтение |
| Interrupts | | | | |
| 0x0200:0x0201 | ECAT Event Mask | чтение/ запись | | чтение |
| 0x0204:0x0207 | PDI AL Event Mask | чтение/ | | чтение/запись |
| 0x0210:0x0211 | ECAT Event Request | чтение | | чтение |
| 0x0220:0x0223 | PDI AL Event Request | чтение | | чтение |
| Error Counters | | | | |
| 0x0300:0x0301 | Rx Error Counter0 | чтение/ сброс | | чтение |
| 0x0302:0x303 | Rx Error Counter1 | чтение/ сброс | | чтение |
| 0x0304:0x0305 | Rx Error Counter2 | чтение/ сброс | | чтение |
| 0x0306:0x307 | Rx Error Counter3 | чтение/ сброс | чтение | | |
| 0x0308 | Forwarded Rx Error counter0 | чтение/ сброс | | чтение |
| 0x0309 | Forwarded Rx Error counter1 | чтение/ сброс | | чтение |
| 0x030a | Forwarded Rx Error counter2 | чтение/ сброс | чтение | | |
| 0x030b | Forwarded Rx Error counter3 | чтение/ сброс | чтение | | |
| 0x030C | ECAT Processing Unit Error Counter | чтение/ сброс | | чтение |
| 0x030D | PDI Error Counter | чтение/ сброс | | чтение |
| 0x030E | PDI Error Code | чтение | | чтение |
| 0x0310 | Lost Link Counter0 | чтение/ сброс | | чтение |
| 0x0311 | Lost Link Counter1 | чтение/ сброс | | чтение |
| 0x0312 | Lost Link Counter2 | чтение/ сброс | | чтение | | |
| 0x0313 | Lost Link Counter3 | чтение/ сброс | | чтение | | |
| Watchdogs | | | | |
| 0x0400:0x0401 | Watchdog Divider | чтение/ запись | | чтение |
| 0x0410:0x0411 | Watchdog Time PDI | чтение/ запись | | чтение |
| 0x0420:0x0421 | Watchdog Time Process Data | чтение/ запись | | чтение |
| 0x0440:0x0441 | Watchdog Status Process Data | чтение | | чтение/запись |
| 0x0442 | Watchdog Counter Process Data | чтение/ сброс | | чтение |
| 0x0443 | Watchdog Counter PDI | чтение/ сброс | | чтение |
| EEPROM Interface | | | | |
| 0x0500 | EEPROM Configuration | чтение/ запись | | чтение |
| 0x0501 | EEPROM PDI Access State | чтение | | чтение/запись |
| 0x0502:0x0503 | EEPROM Control/ Status | чтение/ запись | | чтение/запись |
| 0x0504: 0x0507 | EEPROM Address | чтение/ запись | | чтение/запись |
| 0x0508:0x050F | EEPROM Data | чтение/ запись | | чтение/запись |
| MI MII | | | | |
| 0x0510: 0x0511 | MII Management Control/Status | чтение/ запись | | чтение/запись |
| 0x0512 | PHY Address | чтение/ запись | | чтение/запись |
| 0x0513 | PHY Register Address | чтение/ запись | | чтение/запись |
| 0x0514: 0x0515 | PHY Data | чтение/ запись | | чтение/запись |
| 0x0516 | MII Management ECAT Access State | чтение/ запись | | чтение |
| 0x0517 | MII Management PDI Access State | чтение/ запись | | чтение/запись |
| 0x0518 | PHY Port 0 | чтение/ запись | | чтение/запись |
| 0x0519 | PHY Port 1 | чтение/ запись | | чтение/запись |
| 0x051a | PHY Port 2 | чтение/ запись | | чтение/запись | |
| 0x051b | PHY Port 3 | чтение/ запись | | чтение/запись | |
| FMMU | | | | |
| 0x0600:0x0603 | FMMU0 Logical Start Address | чтение/ запись | | чтение |
| 0x0604:0x0605 | FMMU0 Length | чтение/ запись | | чтение |
| 0x0606 | FMMU0 Logical Start Bit | чтение/ запись | | чтение |
| 0x0607 | FMMU0 Logical Stop Bit | чтение/ запись | | чтение |
| 0x0608: 0x0609 | FMMU0 Physical Start Address | чтение/ запись | | чтение |
| 0x060A | FMMU0 Physical Start Bit | чтение/ запись | | чтение |
| 0x060B | FMMU0 Type | чтение/ запись | | чтение |
| 0x060C | FMMU0 Activate | чтение/ запись | | чтение |
| 0x060D:0x060F | FMMU0 Reserved | чтение | | чтение |
| 0x0610:0x0613 | FMMU1 Logical Start Address | чтение/ запись | | чтение |
| 0x0614:0x0615 | FMMU1 Length | чтение/ запись | | чтение |
| 0x0616 | FMMU1 Logical Start Bit | чтение/ запись | | чтение |
| 0x0617 | FMMU1 Logical Stop Bit | чтение/ запись | | чтение |
| 0x0618: 0x0619 | FMMU1 Physical Start Address | чтение/ запись | | чтение |
| 0x061A | FMMU1 Physical Start Bit | чтение/ запись | | чтение |
| 0x061B | FMMU1 Type | чтение/ запись | | чтение |
| 0x061C | FMMU1 Activate | чтение/ запись | | чтение |
| 0x061D:0x061F | FMMU1 Reserved | чтение | | чтение |
| 0x0620:0x0623 | FMMU2 Logical Start Address | чтение/ запись | | чтение |
| 0x0624:0x0625 | FMMU2 Length | чтение/ запись | | чтение |
| 0x0626 | FMMU2 Logical Start Bit | чтение/ запись | | чтение |
| 0x0627 | FMMU2 Logical Stop Bit | чтение/ запись | | чтение |
| 0x0628: 0x0629 | FMMU2 Physical Start Address | чтение/ запись | | чтение |
| 0x062A | FMMU2 Physical Start Bit | чтение/ запись | | чтение |
| 0x062B | FMMU2 Type | чтение/ запись | | чтение |
| 0x062C | FMMU2 Activate | чтение/ запись | | чтение |
| 0x062D:0x062F | FMMU2 Reserved | чтение | | чтение |
| SyncManager | | | | |
| 0x0800:0x0801 | SyncManager0 Physical Start Address | чтение/ запись | | чтение |
| 0x0802:0x0803 | SyncManager0 Length | чтение/ запись | | чтение |
| 0x0804 | SyncManager0 Control | чтение/ запись | | чтение |
| 0x0805 | SyncManager0 Status | чтение | | чтение |
| 0x0806 | SyncManager0 Activate | чтение/ запись | | чтение |
| 0x0807 | SyncManager0 PDI Control | чтение/ запись | | чтение/запись |
| 0x0808:0x0809 | SyncManager1 Physical Start Address | чтение/ запись | | чтение |
| 0x080A:0x080B | SyncManager1 Length | чтение/ запись | | чтение |
| 0x080C | SyncManager1 Control | чтение/ запись | | чтение |
| 0x080D | SyncManager1 Status | чтение | | чтение |
| 0x080E | SyncManager1 Activate | чтение/ запись | | чтение |
| 0x080F | SyncManager1 PDI Control | чтение/ запись | | чтение/запись |
| 0x0810:0x0811 | SyncManager2 Physical Start Address | чтение/ запись | | чтение |
| 0x0812:0x0813 | SyncManager2 Length | чтение/ запись | | чтение |
| 0x0814 | SyncManager2 Control | чтение/ запись | | чтение |
| 0x0815 | SyncManager2 Status | чтение | | чтение |
| 0x0816 | SyncManager2 Activate | чтение/ запись | | чтение |
| 0x0817 | SyncManager2 PDI Control | чтение/ запись | | чтение/запись |
| 0x0818:0x0819 | SyncManager3 Physical Start Address | чтение/ запись | | чтение |
| 0x081A:0x081B | SyncManager3 Length | чтение/ запись | | чтение |
| 0x081C | SyncManager3 Control | чтение/ запись | | чтение |
| 0x081D | SyncManager3 Status | чтение | | чтение |
| 0x081E | SyncManager3 Activate | чтение/ запись | | чтение |
| 0x081F | SyncManager3 PDI Control | чтение/ запись | | чтение/запись |
| Distributed Clocks - Receive Times | | | | |
| 0x0900:0x0903 | DC – Receive Times Port0 | чтение/ запись  (специальная функция) | | чтение |
| 0x0904:0x0907 | DC – Receive Times Port1 | чтение | | чтение |
| 0x0908:0x090F | Зарезервировано | чтение | | чтение |
| Distributed Clocks - Time Loop Control Unit | | | | |
| 0x0910:0x0917 | DC – System Time | чтение/ запись | | чтение |
| 0x0918:0x091F | DC – Receive Time EPU | чтение | | чтение |
| 0x0920:0x0927 | DC – System Time Offset | чтение/ запись | | чтение/запись |
| 0x0928:0x092B | DC – System Time Delay | чтение/ запись | | чтение/запись |
| 0x092C:0x092F | DC – System Time Difference | чтение | | чтение |
| 0x0930:0x0931 | DC – Speed Counter Start | чтение/ запись | | чтение/запись |
| 0x0932:0x0933 | DC – Speed Counter Diff | чтение | | чтение |
| 0x0934 | DC – System Time Difference Filter | чтение/ запись | | чтение/запись |
| 0x0935 | DC – Speed Counter Filter Depth | чтение/ запись | | чтение/запись |
| 0x0936 | DC – Receive Time Latch mode | чтение/ запись | | чтение |
| Distributed Clocks - Cyclic Unit Control | | | | |
| 0x0980 | DC – Cyclic Unit Control | чтение/ запись | | чтение |
| Distributed Clocks - SYNC Out Unit | | | | |
| 0x0981 | Activation | чтение/ запись | | чтение/запись |
| 0x0982:0x0983 | Pulse length of SyncSignals | чтение/ запись | | чтение/запись |
| 0x0984 | Activation Status | чтение | | чтение |
| 0x098E | SYNC0 Status | чтение | | чтение/запись |
| 0x098F | SYNC1 Status | чтение | | чтение/запись |
| 0x0990:0x0993 | DC SYNC0 Cycle Time | чтение/ запись | | чтение/запись |
| 0x0998:0x099B | SYNC1 Cycle Time | чтение/ запись | | чтение/запись |
| 0x09A0:0x09A3 | SYNC0 Cycle Time | чтение/ запись | | чтение/запись |
| 0x09A4:0x09A7 | SYNC1 Cycle Time | чтение/ запись | | чтение/запись |
| Distributed Clocks - Latch In Unit | | | | |
| 0x09A8 | DC – Latch0 Control | чтение/ запись | | чтение/запись |
| 0x09A9 | DC – Latch1 Control | чтение/ запись | | чтение/запись |
| 0x09AE | DC – Latch0 Status | чтение | | чтение |
| 0x09AF | DC – Latch1 Status | чтение | | чтение |
| 0x09B0:0x09B7 | DC – Latch0 Positive Edge | чтение | | чтение |
| 0x09B8:0x09BF | DC – Latch0 Negative Edge | чтение | | чтение |
| 0x09C0:0x09C7 | DC – Latch1 Positive Edge | чтение | | чтение |
| 0x09C8:0x09CF | DC – Latch1 Negative Edge | чтение | | чтение |
| Distributed Clocks - SyncManager Event Times | | | | |
| 0x09F0:0x09F3 | DC – EtherCAT Buffer Change Event Time | чтение | | чтение |
| 0x09F8:0x09FB | DC – PDI Buffer Start Event Time | чтение | | чтение |
| 0x09FC:0x09FF | DC – PDI Buffer Change Event Time | чтение | | чтение |
| ESC Specific | | | | |
| 0x0E00:0x0E07 | Product ID | чтение | | чтение |
| 0x0E08:0x0E0F | Vendor ID | чтение | | чтение |
| 0x0E10 | MAC Configuration | чтение/ запись | | чтение/запись |
| 0x0E14 | MAC0 RxErrors0 | чтение | | чтение |
| 0x0E18 | MAC0 RxErrors1 | чтение | | чтение |
| 0x0E1С | ESC Control1 | чтение/ запись | | чтение/запись |
| 0x0E20 | MAC0 Debug1 | чтение | | чтение |
| 0x0E24 | MAC0 Debug2 | чтение | | чтение |
| 0x0E28 | MAC1 Debug1 | чтение | | чтение |
| 0x0E2С | MAC1 Debug2 | чтение | | чтение |
| 0x0E30 | MAC1 RxErrors0 | чтение | | чтение |
| 0x0E34 | MAC1 RxErrors1 | чтение | | чтение |
| 0x0E38 | MILDC Config | чтение/ запись | | чтение/запись |
| 0x0E3С | ESC Ports Config | чтение/ запись | | чтение/запись |
| 0x0E40 | MILDC PHY Scan Results | чтение | | чтение |
| 0x0E44 | Port0 MILDC Status | чтение | | чтение |
| 0x0E48 | Port0 MILDC Debug | чтение | | чтение |
| 0x0E4С | Port1 MILDC Status | чтение | | чтение |
| 0x0E50 | Port1 MILDC Debug | чтение | | чтение |
| 0x0E54 | EEPROM UDR | чтение/ запись | | чтение/ запись |
| 0x0E58 | EEPROM DEBUG | чтение/ запись | | чтение/ запись |
| 0x0E5C | DPRAM DEBUG | чтение/ запись | | чтение/ запись |
| User RAM | | | | |
| 0x0F80:0x0FFF | User RAM (128 байт) | чтение/ запись | | чтение/запись |

* 1. Описание регистров CSR
     1. Регистр Type (0x0000)

Формат регистра *Type* приведен в таблице 3.1.

Таблица 3.1 - Формат регистра Type

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | Тип контроллера EtherCAT | 0x04 | чтение | чтение |

* + 1. Регистр Revision (0x0001)

Формат регистра *Revision* приведен в таблице 3.2.

Таблица 3.2 - Формат регистра Revision

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | Версия контроллера EtherCAT | 0x00 | чтение | чтение |

* + 1. Регистр Build (0x0002:0x0003)

Формат регистра *Build* приведен в таблице 3.3.

Таблица 3.3 - Формат регистра Build

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | Номер ревизии версии контроллера EtherCAT | 0x0000 | чтение | чтение |

* + 1. Регистр FMMUs supported (0x0004)

Формат регистра *FMMUs supported* приведен в таблице 3.4.

Таблица 3.4 - Формат регистра FMMUs supported

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | Количество каналов FMMU контроллера EtherCAT | 0x03 | чтение | чтение |

* + 1. Регистр SyncManagers supported (0x0005)

Формат регистра *SyncManagers supported* приведен в таблице 3.5.

Таблица 3.5 - Формат регистра SyncManagers supported

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | Количество каналов SyncManager контроллера EtherCAT | 0x4 | чтение | чтение |

* + 1. Регистр RAM Size (0x0006)

Формат регистра *RAM Size* приведен в таблице 3.6.

Таблица 3.6 - Формат регистра RAM Size

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | Размер буфера памяти процесса (Кбайт) | 0x07 | чтение | чтение |

* + 1. Регистр Port Descriptor (0x0007)

Формат регистра *Port Descriptor* приведен в таблице 3.7.

Таблица 3.7 - Формат регистра Port Descriptor

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
|  | Конфигурация портов:  00: не реализован  01: не сконфигурирован (необходимо загрузка значения из SII EEPROM)  10: интерфейс EBUS  11: интерфейс MII/RMII/RGMII | 0x0 | чтение | чтение |
| 1:0 | Порт 0 | 2’b11 | чтение | чтение |
| 3:2 | Порт 1 | 2’b11 | чтение | чтение |
| 5:4 | Порт 2 | 2’b11 | чтение | чтение |
| 7:6 | Порт 3 | 2’b11 | чтение | чтение |

* + 1. Регистр ESC Features supported (0x0008:0x0009)

Формат регистра *ESC Features supported* приведен в таблице 3.8.

Таблица 3.8 - Формат регистра ESC Features supported

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | Тип FMMU:  0: бит ориентированный  1: байт ориентированный | 0 | чтение | чтение |
| 1 | Неиспользуемые регистры:  0: не поддерживаются  1: поддерживаются | 0 | чтение | чтение |
| 2 | Распределенное время (блок DC):  0: не поддерживается  1: поддерживается | 1 | чтение | чтение |
| 3 | Распределенные часы (количество бит SystemTime):  0: 32 бита  1: 64 бита | 1 | чтение | чтение |
| 4 | Низкий jitter сигналов EBUS:  0: не поддерживается, стандартный jitter  1: поддерживается, jitter минимальный | 0 | чтение | чтение |
| 5 | Улучшенное детектирование link EBUS:  0: не поддерживается  1: поддерживается | 1 | чтение | чтение |
| 6 | Улучшенное детектирование link MII (Enhanced Link Detection)  0: не поддерживается  1: поддерживается | 1 | чтение | чтение |
| 7 | Раздельное управление ошибками поля FCS:  0: не поддерживается  1: поддерживается, фрейм с неправильным FCS и дополнительным полубайтом будут подсчитаны раздельно в регистрах Forwarded RX Error Counter каждого порта | 1 | чтение | чтение |
| 8 | Возможность расширенного управления работой блока SyncOutUnit (регистр 0x981, битовое поле 7:3)  0: не поддерживается  1: поддерживается | 1 | чтение | чтение |
| 9 | Поддержка команды LRW:  0: не поддерживается  1: поддерживается | 1 | чтение | чтение |
| 10 | Поддержка команд read/write (BRW, APRW, FPRW):  0: не поддерживается  1: поддерживается | 1 | чтение | чтение |
| 11 | Фиксированная конфигурация FMMU/SyncManager  0: переменная конфигурация  1: фиксированная конфигурация | 1 | чтение | чтение |
| 15:12 | Зарезервировано | 0 | чтение | чтение |

* + 1. Регистр Configured Station Address (0x0010:0x0011)

Формат регистра Configured Station Address приведен в таблице 3.9.

Таблица 3.9 - Формат регистра Configured Station Address

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | Адрес контроллера | 0x0000 | чтение/ запись | чтение |

* + 1. Регистр Configured Station Alias (0x0012:0x0013)

Формат регистра *Configured Station Alias* приведен в таблице 3.10.

Таблица 3.10 - Формат регистра Configured Station Alias

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | Вспомогательный адрес контроллера, используется для команд FPxx | 0x0000 | чтение | чтение/ запись |

* + 1. Регистр Write Register Enable (0x0020)

Формат регистра Write Register Enable приведен в таблице 3.11.

Таблица 3.11 - Формат регистра Write Register Enable

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | WriteRegisterEnable:  1 – запись в регистры разрешена | 0 | чтение/ запись | чтение |
| 7:1 | Зарезервировано | 000000 | чтение | чтение |

* + 1. Регистр Write Register Protection (0x0021)

Формат регистра *Write Register Protection* приведен в таблице 3.12.

Таблица 3.12 - Формат регистра Write Register Protection

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | WriteRegisterProtection:  Запрет записи регистров:  0: запись разрешена  1: запись запрещена | 0 | чтение/ запись | чтение/ запись |
| 7:1 | Зарезервировано | 000000 | чтение | чтение |

* + 1. Регистр ESC Write Enable (0x0030)

Формат регистра *ESC Write Enable* приведен в таблице 3.13.

Таблица 3.13 - Формат регистра ESC Write Enable

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | ESCWriteEnable:  1 – запись разрешена | 0 | чтение/ запись | чтение |
| 7:1 | Зарезервировано | 000000 | чтение | чтение |

* + 1. Регистр ESC Write Protection (0x0031)

Формат регистра *ESC Write Protection* приведен в таблице 3.14.

Таблица 3.14 - Формат регистра ESC Write Protection

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | ESCWriteProtection:  Запрет записи:  0: запрет записи отключен  1: запрет записи включен  Все области защищены от записи, исключая регистр *ESC Write Enable* | 0 | чтение/ запись | чтение |
| 7:1 | Зарезервировано | 000000 | чтение | чтение |

* + 1. Регистр ESC Reset ECAT (0x0040)

Формат регистра *ESC Reset ECAT* приведен в таблице 3.15.

Таблица 3.15 - Формат регистра ESC Reset ECAT

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | Запись. Сигнал сброса возникает после последовательных трех записей: 0x52 (‘R’), 0x45 (‘E’) и 0x53 (‘S’) | 0х00 | запись | чтение |
| 1:0 | Чтение. Ход выполнения процедуры сброса:  01: после записи 0x52  10: после записи 0x45 (если до этого было записано предыдущее)  00: остальные записанные значения | 00 | чтение | чтение |
| 7:2 | Зарезервировано | 000000 | чтение | чтение |

* + 1. Регистр ESC Reset PDI *(*0x0041)

Формат регистра *ESC Reset PDI* приведен в таблице 3.16.

Таблица 3.16 - Формат регистра ESC Reset PDI

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | Запись. Сигнал сброса возникает после последовательных трех записей: 0x52 (‘R’), 0x45 (‘E’) и 0x53 (‘S’) | 0х00 | чтение | запись |
| 1:0 | Чтение. Ход выполнения процедуры сброса:  01: после записи 0x52  10: после записи 0x45 (если до этого было записано предыдущее)  00: остальные записанные значения | 00 | чтение | чтение |
| 7:2 | Чтение. Зарезервировано | 000000 | чтение | чтение |

* + 1. Регистр ESC DL Control (0x0100:0x0103)

Формат регистра ESC DL Control приведен в таблице 3.17.

Таблица 3.17 - Формат регистра ESC DL Control

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Разряды | Описание | | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | ForwardingRule  Правило переадресации с порта 0 на порт 1:  0: EtherCAT фреймы будут обработаны,  Non-EtherCAT фреймы переадресовываются без какой-либо модификации.  1: EtherCAT фреймы будут обработаны,  Non-EtherCAT фреймы будут испорчены (переданы дальше с неправильным FCS и дополнительным полубайтом). Разряд 46 поля «source MAC address» всех фреймов устанавливается в 1. | | 1 | чтение/ запись | чтение |
| 1 | TempSetting  Временное использование настроек в регистре *ESC DL Control* (разряды 8:15):  0: постоянное использование  1: настройки используются примерно одну секунду, затем возвращается к прежним настройкам | | 0 | чтение/ запись | чтение |
| 7:2 | Зарезервировано | | 000000 | чтение | чтение |
| 9:8 | LoopPort0:  Режим работы порта 0  00: автоматический  01: автоматическое закрытие  10: всегда открытый  11: всегда закрытый | | 00 | чтение/ запись\* | чтение |
| 11:10 | Loop Port1:  Режим работы порта 0  00: автоматический  01: автоматическое закрытие  10: всегда открытый  11: всегда закрытый | | 00 | чтение/ запись\* | чтение |
| 13:12 | LoopPort2:  Режим работы порта 2  00: автоматический  01: автоматическое закрытие  10: всегда открытый  11: всегда закрытый | | 00 | чтение/ запись\* | чтение |
| 15:14 | LoopPort3:  Режим работы порта 3  00: автоматический  01: автоматическое закрытие  10: всегда открытый  11: всегда закрытый | | 00 | чтение/ запись\* | чтение |
| 18:16 | RXFIFOSize  Определяет порог заполненности входного FIFO, при котором начинается вычитывание данных, т.е. задержку пакета. | | 3 | чтение/ запись | чтение |
| RX FIFO Size | Задержка |
| 0 | -70 нс |
| 1 | -70 нс |
| 2 | -40 нс |
| 3 | -40 нс |
| 4 | 0 нс |
| 5 | 0 нс |
| 6 | 0 нс |
| 7 | 0 нс |
| Примечания:  1.Значение RXFIFOSize устанавливается только при первой загрузке из SII  EEPROM, после включения  или сброса питания.  2. Значения RXFIFOSize 0 и 1 могут быть использованы только если оба link-партнёра оснащены источниками опорного тактового сигнала с точностью 25ppm. | |
| 19 | Зарезервировано | | 0 | чтение | чтение |
| 21:20 | Зарезервировано | | 0 | чтение | чтение |
| 22 | EBUS remote link down signaling time:  0: Default (~660 ms)  1: Reduced (~80 μs) | | 1 | чтение/ запись | чтение |
| 23 | Зарезервировано | | 0 | чтение | чтение |
| 24 | StationAlias  Разрешение использовать дополнительный адрес контроллера:  0: использование запрещено  1: контроллеру разрешено откликаться на дополнительный адрес для команд (FPRD, FPWR,..) | | 0 | чтение/ запись | чтение |
| 31:25 | Зарезервировано | | 0000000 | чтение | чтение |

(\*) Примечание: режим работы порта будет сменён по завершении процесса приёма/передачи, если таковые имеются в данный момент.

* + 1. Регистр Physical Read/Write Offset (0x0108:0x0109)

Формат регистра *Physical Read/Write Offset* приведен в таблице 3.18.

Таблица 3.18 - Формат регистра Physical Read/Write Offset

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | RWOffset  Смещение адреса в цикле чтения для команд: FPRW, APRW, BRW | 0х0000 | чтение/ запись | чтение |

* + 1. Регистр *ESC DL Status* (0x0110:0x0111)

Формат регистра *ESC DL Status* приведен в таблице 3.19.

Таблица 3.19 - Формат регистра ESC DL Status

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | PDIOperational  Корректная загрузка EEPROM:  0: EEPROM не загружен, PDI не функционирует (нет доступа к Process Data RAM)  1: EEPROM загружен корректно, PDI функционирует (есть доступ к Process Data RAM) | 0 | чтение \* | чтение |
| 1 | PDIWDStatus  Статус PDI Watchdog:  0: Watchdog сработал  1: Watchdog перезагружен | 0 | чтение \* | чтение |
| 2 | EnhancedLinkDetection  Улучшенный режим обнаружения Link:  0: запрещен для всех портов  1: разрешен по крайней мере для одного порта | 1 | чтение \* | чтение |
| 3 | Зарезервировано | 0 | чтение \* | чтение |
| 4 | Physical link on Port0 Статус физического сигнала link на порту 0  0: нет link  1: соединение установлено (link) | 0 | чтение \* | чтение |
| 5 | Physical link on Port 1 Статус физического сигнала link на порту 1  0: нет link  1: соединение установлено (link) | 0 | чтение \* | чтение |
| 6 | Physical link on Port2 Статус физического сигнала link на порту 2  0: нет link  1: соединение установлено (link) | 0 | чтение \* | чтение |
| 7 | Physical link on Port3 Статус физического сигнала link на порту 3  0: нет link  1: соединение установлено (link) | 0 | чтение \* | чтение |
| 8 | Loop Port0  Статус режима работы порта 0:  0: порт открыт (open)  1: порт закрыт (closed) | 0 | чтение \* | чтение |
| 9 | Communication on Port0  Статус связи с портом 0:  0: нет стабильного соединения  1: соединение установлено | 0 | чтение \* | чтение |
| 10 | Loop Port1  Статус режима работы порта 1:  0: порт открыт (open)  1: порт закрыт (closed) | 0 | чтение \* | чтение |
| 11 | Communication on Port1  Статус связи с портом 1:  0: нет стабильного соединения  1: соединение установлено | 0 | чтение \* | чтение |
| 12 | Loop Port2  Статус режима работы порта 2:  0: порт открыт (open)  1: порт закрыт (closed) | 0 | чтение | чтение |
| 13 | Communication on Port2  Статус связи с портом 2:  0: нет стабильного соединения  1: соединение установлено | 0 | чтение | чтение |
| 14 | Loop Port3  Статус режима работы порта 3:  0: порт открыт (open)  1: порт закрыт (closed) | 0 | чтение | чтение |
| 15 | Communication on Port3  Статус связи с портом 3:  0: нет стабильного соединения  1: соединение установлено | 0 | чтение | чтение |

(\*) Примечание: при чтении через ECAT регистра *ESC DL Status* (0x0110:0x0111) очищаетcя бит *DL Status event* (разряд 2) регистра *ECAT Event Request* (0x0210:0x0211).

* + 1. Регистр AL Control (0x0120:0x0121)

Формат регистра *AL Control* приведен в таблице 3.20.

Таблица 3.20 - Формат регистра AL Control

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 3:0 | Initiate State Transition of the Device State Machine  Запрос на переход машины состояний:  1: Запрос состояния Init State  3: Запрос состояния Bootstrap State  2: Запрос состояния Pre-Operational State  4: Запрос состояния Safe-Operational State  8: Запрос состояния Operational State | 1 | чтение/ (запись) | чтение |
| 4 | Error Ind Ack  0: Запрещение установки *Error Ind Ack* в регистре *AL status* (0x0130:0x0131)  1: Разрешение установки *Error Ind Ack* в регистре *AL status* | 0 | чтение/ (запись) | чтение |
| 5 | Device Identification  Команда на идентификацию устройства:  0: Нет запроса  1: Запрос идентификации устройства | 0 | чтение/ (запись) | чтение |
| 15:6 | Зарезервировано | 10’h000 | чтение | чтение |

* + 1. Регистр AL Status (0x0130:0x0131)

Формат регистра *AL Status* приведен в таблице 3.21.

Таблица 3.21 - Формат регистра AL Status

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 3:0 | Actual State of the Device State Machine  Статус состояния Device State Machine:  1: состояние Init State  3: состояние Bootstrap State  2: состояние Pre-Operational State  4: состояние Safe-Operational State  8: состояние Operational State | 1 | чтение\* | чтение/ запись |
| 4 | Error Ind  Статус изменения состояния Device State Machine:  0: Device State Machine контроллера находится в состоянии согласно запроса или статусный бит сброшен записью 0  1: Device State Machine контроллера не изменило состояние согласно запроса или состояние изменено как результат локального действия | 0 | чтение\* | чтение/ запись |
| 5 | Device Identification  Статус идентификации устройства:  0: идентификация устройства не корректна  1: идентификация устройства загружена | 0 | чтение\* | чтение/ запись |
| 15:6 | Зарезервировано | 10’h000 | чтение\* | чтение/ запись |

Запись в регистр *AL Status* разрешена только при доступе с порта процессора (PDI),если сброшен бит Device emulation (разряд 0) регистра *ESC Configuration* (0x0141), иначе регистр *AL Status* повторяет содержание регистра *AL Control (*0x0120:0x0121).

(\*) Примечание: При чтении через ECAT регистра *AL Status* очищаетcя бит *AL Status event* (разряд 3) регистра *ECAT Event Request* (0x0210:0x0211).

* + 1. Регистр AL Status Code (0x0134:0x0135)

Формат регистра *AL Status Code* приведен в таблице 3.22.

Таблица 3.22 - Формат регистра AL Status Code

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | AL Status Code | 0х0000 | чтение | чтение/ запись |

* + 1. Регистр RUN LED Override (0x0138)

Формат регистра RUN LED Override приведен в таблице 3.23.

Таблица 3.23 - Формат регистра RUN LED Override

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 3:0 | LED Code - состояние индикатора *RUN LED* :  0x0: выключен (Device State Machine находится в состоянии Init State)  0x1-0xC: кратковременное включение от 1-го до 12-ти раз (только для 0х1: Device State Machine находится в состоянии Safe-Operational State)  0xD: редкое мигание (Device State Machine находится в состоянии Pre-Operational State)  0xE: частое мигание (Device State Machine находится в состоянии Bootstrap State)  0xF: включен постоянно (Device State Machine находится в состоянии Operational State) | 0х0 | чтение/ запись | чтение/ запись |
| 4 | Enable Override  0: непосредственное управление индикатором *RUN LED* запрещено  1: разрешено непосредственное управление индикатором *RUN LED* | 0 | чтение/ запись | чтение/ запись |
| 7:5 | Зарезервировано | 000 | чтение | чтение |

Любое изменение в содержимом регистра *AL Status* (0x0130:0x0131) сбрасывает бит Enable Override.

* + 1. Регистр ERR LED Override (0x0139)

Формат регистра приведен в таблице 3.24.

Таблица 3.24 - Формат регистра ERR LED Override

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 3:0 | LED Code:  0x0: выключен  0x1-0xC: кратковременное включение от 1-го до 12-ти раз  0xD: редкое мигание  0xE: частое мигание  0xF: включен постоянно | 0х0 | чтение/ запись | чтение/ запись |
| 4 | Enable Override  0: непосредственное управление индикатором *ERR LED* запрещено  1: разрешено непосредственное управление индикатором *ERR LED* | 0 | чтение/ запись | чтение/ запись |
| 7:5 | Зарезервировано | 000 | чтение | чтение |

Любая ошибка сбрасывает бит Enable Override.

* + 1. Регистр PDI Control (0x0140)

Формат регистра приведен в таблице 3.25.

Таблица 3.25 - Формат регистра PDI Control

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | Process data interface  Тип PDI:  0x80: реализован, как внутренний интерфейс микросхемы | 0x80 | чтение | чтение |

* + 1. Регистр ESC Configuration (0x0141)

Формат регистра приведен в таблице 3.26

Таблица 3.26 - Формат регистра ESC Configuration

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | Device emulation  Режим управления регистром *AL status*  0: запись в регистр *AL status* возможна через интерфейс PDI  1: значение регистра *AL status* изменяется в соответствии со значениями регистра *AL control* | 0 | чтение | чтение |
| 1 | Enhanced Link detection all ports  Улучшенный режим обнаружения link всех портов:  0: отключено (если разряды [7:4] регистра сброшены)  1: включено на всех портах (переопределение значение разрядов [7:4] регистра) | 1 | чтение/  запись | чтение |
| 2 | Distributed Clocks SYNC Out Unit  Разрешение работы блока SYNC Out Unit:  0: блок отключен (энергосбережение)  1: блок включен | 0 | чтение | чтение |
| 3 | Distributed Clocks Latch In Unit  Разрешение работы блока Latch In Unit:  0: блок отключен (энергосбережение)  1: блок включен | 0 | чтение | чтение |
| 4 | Enhanced Link port 0  Улучшенный режим обнаружения link порта 0:  0: режим отключен (если разряд 1 регистра сброшен)  1: режим включен | 1 | чтение/  запись | чтение |
| 5 | Enhanced Link port 1  Улучшенный режим обнаружения link порта 1:  0: режим отключен (если разряд 1 регистра сброшен)  1: режим включен | чтение/  запись | чтение |
| 6 | Enhanced Link port 2  Улучшенный режим обнаружения link порта 2:  0: режим отключен (если разряд 1 регистра сброшен)  1: режим включен | чтение/  запись | чтение |
| 7 | Enhanced Link port 3  Улучшенный режим обнаружения link порта 3:  0: режим отключен (если разряд 1 регистра сброшен)  1: режим включен | чтение/  запись | чтение |

Значения битов: *Enhanced Link detection all ports* (разряд 1), *Enhanced Link port 0* (разряд 4), *Enhanced Link port 1* (разряд 5) устанавливаются только при первой загрузке из SII EEPROM, после включения или сброса питания. Значения битов: *Device emulation* (разряд 0), *Distributed Clocks SYNC Out Unit* (разряд 2*), Distributed Clocks Latch In Unit* (разряд 3) устанавливаются при любой загрузке из SII EEPROM.

* + 1. Регистр PDI Information (0x014E:0x014F)

Формат регистра приведен в таблице 3.27.

Таблица 3.27 - Формат регистра PDI Information

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | PDI function acknowledge by write  Режим сброса статусов PDI записью в регистры:  0: режим отключен  1: режим включен | 0 | чтение | чтение |
| 1 | Сконфигурированный PDI:  0: PDI не сконфигурирован  1: PDI сконфигурирован (загружен EEPROM) | 0 | чтение | чтение |
| 2 | PDI active  Статус PDI:  0: PDI не активен  1: PDI активен | чтение | чтение |
| 3 | PDI configuration invalid  Недопустимая конфигурация PDI:  0: конфигурация PDI корректна  1: недопустимая конфигурация PDI | чтение | чтение |
| 7:4 | Зарезервировано | чтение | чтение |

* + 1. Регистр PDI Configuration (0x0150)

Формат регистра приведен в таблице 3.28.

Таблица 3.28 - Формат регистра PDI Configuration

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 4:0 | On-chip bus clock  Множитель внутреннего синхросигнала, синхронного с тактовым сигналом 25 МГц | 0х04 | чтение | чтение |
| 7:5 | On-chip bus  Тип внутренней шины:  AXI | 001 | чтение | чтение |

* + 1. Регистр Sync/Latch[1:0] PDI Configuration (0x0151)

Формат регистра приведен в таблице 3.29

Таблица 3.29 - Формат регистра Sync/Latch[1:0] PDI Configuration

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 1:0 | SYNC0 выход драйвера/полярности активного уровня:  00: двухтактный активный низкий уровень  01: с открытым стоком (низкий уровень)  10: двухтактный активный высокий уровень  11: открытый исходный код (высокий уровень) | 0 | чтение | чтение |
| 2 | Конфигурация SYNC0/LATCH0:  0: вход LATCH0  1: выход SYNC0 | 0 | чтение | чтение |
| 3 | SYNC0 отображается в разряде 2 регистра *AL Event Request* (0x0220)  0: отключен  1: включен | 0 | чтение | чтение |
| 5:4 | SYNC1 выход драйвера/полярности активного уровня:  00: двухтактный активный низкий уровень  01: с открытым стоком (низкий уровень)  10: двухтактный активный высокий уровень  11: открытый исходный код (высокий уровень) | 0 | чтение | чтение |
| 6 | Конфигурация SYNC1/LATCH1:  0: вход LATCH1  1: выход SYNC1 | 0 | чтение | чтение |
| 7 | SYNC1 отображается в разряде 2 регистра *AL Event Request* (0x0220)  0: отключен  1: включен | 0 | чтение | чтение |

* + 1. Регистр PDI On-chip bus extended configuration (0x0152:0x0153)

Формат регистра приведен в таблице 3.30.

Таблица 3.30 - Формат регистра PDI Digital I/O extended сonfiguration

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 1:0 | Количество циклов шины при чтении:  0: 4 цикла  1: 1 цикл (типичный)  2: 2 цикла  3: зарезервировано | 00 | чтение | чтение |
| 7:2 | Зарезервировано | 0 | чтение | чтение |
| 10:8 | Подтип шины на кристалле AXI:  000: AXI3  001: AXI4  010: AXI4 LITE  others: зарезервировано | 000 | чтение | чтение |
| 15:11 | Зарезервировано | 5’h00 | чтение | чтение |

* + 1. Регистр ECAT Event Mask (0x0200:0x0201)

Формат регистра приведен в таблице 3.31.

Таблица 3.31 - Формат регистра ECAT Event Mask

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | ECAT Event masking of the ECAT Event  Маскирование запросов событий для отображения в ECAT event frames:  0: соответствующий бит регистра *ECAT Event Request* не отображается  1: соответствующий бит *регистра ECAT Event Request* устанавливается в соответствующем поле пакета | 0x0000 | чтение/ запись | чтение |

* + 1. Регистр PDI AL Event Mask (0x0204:0x0207)

Формат регистра приведен в таблице 3.32.

Таблица 3.32 - Формат регистра PDI AL Event Mask

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 31:0 | AL Event masking  Маскирование запросов событий регистра *AL Event* для установки запроса на прерывания (сигнал *IRQ*)  0: соответствующий бит регистра *AL Event Request* замаскирован  1: соответствующий регистра *AL Event Request* размаскирован | 0х00FF FF0F | чтение | чтение/ запись |

* + 1. Регистр ECAT Event Request (0x0210:0x0211)

Формат регистра приведен в таблице 3.33.

Таблица 3.33 - Формат регистра ECAT Event Request

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | DC Latch event  Статус блока DC Latch:  0: нет события  1: один из входов блока DC Latch изменил свое состояние | 0 | чтение | чтение |
| 1 | Зарезервировано | 0 | чтение | чтение |
| 2 | DL Status event  0: нет запросов прерывания в регистре *DL Status*  1: в регистре *DL Status* есть запросы на прерывание | 0 | чтение | чтение |
| 3 | AL Status event  0: нет запросов прерывания в регистре *AL Status*  1: в регистре *AL Status* есть запросы на прерывание | 0 | чтение | чтение |
| 4 | Mirrors values of each SyncManager Status  Запросы прерывания от каналов SyncManager  0: нет запроса прерывания от SyncManager канал 0  1: запрос прерывания от SyncManager канал 0 | 0 | чтение | чтение |
| 5 | Запросы прерывания от канала 1 SyncManager  0: нет запроса прерывания от SyncManager канал 1  1: запрос прерывания от SyncManager канал 1 | 0 | чтение | чтение |
| 6 | Запросы прерывания от канала 2 SyncManager  0: нет запроса прерывания от SyncManager канал 2  1: запрос прерывания от SyncManager канал 2 | 0 | чтение | чтение |
| 7 | Запросы прерывания от канала 3 SyncManager  0: нет запроса прерывания от SyncManager канал 3  1: запрос прерывания от SyncManager канал3 | 0 | чтение | чтение |
| 15:8 | Зарезервировано | 8’h00 | чтение | чтение |

* + 1. Регистр PDI AL Event Request (0x0220:0x0223)

Формат регистра приведен в таблице 3.34.

Таблица 3.34 - Формат регистра PDI AL Event Request

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | AL Control event  0: нет запросов прерывания в регистре *AL Control*  1: произведена запись в регистр *AL Control* | 0 | чтение | чтение |
| 1 | DC Latch event  0: в блоке DC Latch нет запросов прерывания  1: один из входов блока DC Latch изменил свое состояние | 0 | чтение | чтение |
| 2 | State of DC SYNC0  Состояние сигнала SYNC0 | 0 | чтение | чтение |
| 3 | State of DC SYNC1  Состояние сигнала SYNC1 | 0 | чтение | чтение |
| 4 | SyncManager activation register  0: ни в одном канале блока SyncManager нет запросов прерывания  1: хотя бы в одном канале блока SyncManager есть запрос прерывания | 0 | чтение | чтение |
| 5 | EEPROM Emulation  0: нет запросов на прерывание от блока SII EEPROM  1: запрос на прерывание от блока SII EEPROM | 0 | чтение | чтение |
| 6 | Watchdog Process Data  0: нет срабатывания сторожевого таймера  1: сторожевой таймер сработал | 0 | чтение | чтение |
| 7 | Зарезервировано | 0 | чтение | чтение |
| 8 | SyncManager interrupts  0: нет запроса прерывания в канале 0 блока SyncManager  1: запрос прерывания в канале 0 блока SyncManager | 0 | чтение | чтение |
| 9 | SyncManager interrupts  0: нет запроса прерывания в канале 1 блока SyncManager  1: запроса прерывания в канале 1 блока SyncManager | 0 | чтение | чтение |
| 10 | SyncManager interrupts  0: нет запроса прерывания в канале 2 блока SyncManager  1: запроса прерывания в канале 2 блока SyncManager | 0 | чтение | чтение |
| 11 | SyncManager interrupts  0: нет запроса прерывания в канале 3 блока SyncManager  1: запроса прерывания в канале 3 блока SyncManager | 0 | чтение |  |
| 31:12 | зарезервировано | 20’h00000 | чтение | чтение |

* + 1. Регистр RX Error Counter 0 (0x0300:0x0301)

Формат регистра приведен в таблице 3.35.

Таблица 3.35 - Формат регистра RX Error Counter 0

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | Invalid frame counter of Port 0  Счетчик ошибочных пакетов, принятых портом 0 | 0x00 | чтение/ запись/ сброс | чтение |
| 15:8 | RX Error counter of Port 0  Счетчик ошибок MII\_RX\_ER, зафиксированных на порту 0 | 0x00 | чтение/ запись/ сброс | чтение |

Регистр RX Error Counter 0 сбрасывается при записи любого значения в какой-либо регистр: 0x0300-0x030B. Регистр RX Error Counter 0 перестает считать при достижении значения насыщения 0хFF.

* + 1. Регистр RX Error Counter 1 (0x0302:0x0303)

Формат регистра приведен в таблице 3.36.

Таблица 3.36 - Формат регистра RX Error Counter 1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | Invalid frame counter of Port 1  Счетчик ошибочных пакетов, принятых портом 1 | 0 | чтение/ запись/ сброс | чтение |
| 15:8 | RX Error counter of Port 1  Счетчик ошибок MII\_RX\_ER, зафиксированных на порту 1 | 0x00 | чтение/ запись/ сброс | чтение |

Регистр RX Error Counter 1 сбрасывается при записи любого значения в какой-либо регистр: 0x0300-0x030B. Регистр RX Error Counter 1 перестает считать при достижении значения насыщения 0хFF.

* + 1. Регистр RX Error Counter 2 (0x0304:0x0305)

Формат регистра приведен в таблице 3.35а.

Таблица 3.35а - Формат регистра RX Error Counter *2*

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | Invalid frame counter of Port 2  Счетчик ошибочных пакетов, принятых портом 2 | 0x00 | чтение/ запись/ сброс | чтение |
| 15:8 | RX Error counter of Port 2  Счетчик ошибок MII\_RX\_ER, зафиксированных на порту 2 | 0x00 | чтение/ запись/ сброс | чтение |

Регистр RX Error Counter 2 сбрасывается при записи любого значения в какой-либо регистр: 0x0300-0x030B. Регистр RX Error Counter 2 перестает считать при достижении значения насыщения 0хFF.

### Регистр RX Error Counter 3 (0x0306:0x0307)

Формат регистра приведен в таблице 3.36a.

Таблица 3.36a - Формат регистра RX Error Counter 3

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | Invalid frame counter of Port 3  Счетчик ошибочных пакетов, принятых портом 3 | 0x00 | чтение/ запись/ сброс | чтение |
| 15:8 | RX Error counter of Port 3  Счетчик ошибок MII\_RX\_ER, зафиксированных на порту 3 | 0x00 | чтение/ запись/ сброс | чтение |

Регистр RX Error Counter 3 сбрасывается при записи любого значения в какой-либо регистр: 0x0300-0x030B. Регистр RX Error Counter 3 перестает считать при достижении значения насыщения 0хFF.

* + 1. Регистр Forwarded RX Error Counter Port 0 (0x0308)

Формат регистра приведен в таблице 3.37.

Таблица 3.37 - Формат регистра Forwarded RX Error Counter Port 0

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | Forwarded error counter of Port 0  Счетчик ошибочных пакетов, полученных от link-партнёра | 0x00 | чтение/ запись/ сброс | чтение |

Регистр Forwarded RX Error Counter Port 0 сбрасывается при записи любого значения в какой-либо регистр: 0x0300-0x030B. Регистр Forwarded RX Error Counter Port 0 перестает считать при достижении значения насыщения 0хFF.

* + 1. Регистр Forwarded RX Error Counter Port 1 (0x0309)

Формат регистра приведен в таблице 3.38.

Таблица 3.38 - Формат регистра Forwarded RX Error Counter Port 1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | Forwarded error counter of Port 1  Счетчик ошибочных пакетов, полученных от link-партнёра | 0x00 | чтение/ запись/ сброс | чтение |

Регистр Forwarded RX Error Counter Port 1 сбрасывается при записи любого значения в какой-либо регистр: 0x0300-0x030B. Регистр Forwarded RX Error Counter Port 1 перестает считать при достижении значения насыщения 0хFF.

* + 1. Регистр Forwarded RX Error Counter Port 2 (0x030a)

Формат регистра приведен в таблице 3.37a.

Таблица 3.37a - Формат регистра Forwarded RX Error Counter Port 2

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | Forwarded error counter of Port 2  Счетчик ошибочных пакетов, полученных от link-партнёра | 0x00 | чтение/ запись/ сброс | чтение |

Регистр Forwarded RX Error Counter Port 2 сбрасывается при записи любого значения в какой-либо регистр: 0x0300-0x030B. Регистр Forwarded RX Error Counter Port 2 перестает считать при достижении значения насыщения 0хFF.

* + 1. Регистр Forwarded RX Error Counter Port 3 (0x030b)

Формат регистра приведен в таблице 3.38a.

Таблица 3.38a - Формат регистра Forwarded RX Error Counter Port 3

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | Forwarded error counter of Port 3  Счетчик ошибочных пакетов, полученных от link-партнёра | 0x00 | чтение/ запись/ сброс | чтение |

Регистр Forwarded RX Error Counter Port 3 сбрасывается при записи любого значения в какой-либо регистр: 0x0300-0x030B. Регистр Forwarded RX Error Counter Port 3 перестает считать при достижении значения насыщения 0хFF.

* + 1. Регистр ECAT Processing Unit Error Counter (0x030С)

Формат регистра приведен в таблице 3.39.

Таблица 3.39 - Формат регистра ECAT Processing Unit Error Counter

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | ECAT Processing Unit error counter  Счетчик ошибочных пакетов, прошедших через EPU | 0x00 | чтение/ запись/ сброс | чтение |

Регистр *ECAT Processing Unit Error Counter* сбрасывается при записи какого-либо значения в регистр. Регистр *ECAT Processing Unit Error Counter* перестает считать при достижении значения насыщения 0хFF.

* + 1. Регистр PDI Error Counter (0x030D)

Формат регистра приведен в таблице 3.40.

Таблица 3.40 - Формат регистра PDI Error Counter

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | PDI Error counter  Счетчик ошибок интерфейса PDI | 0x00 | чтение/ запись/ сброс | чтение |

Регистр *PDI Error Counter* сбрасывается при записи какого-либо значения в регистр. Регистр *PDI Error Counter* перестает считать при достижении значения насыщения 0хFF.

* + 1. Регистр PDI Error Code (0x030E)

Формат регистра приведен в таблице 3.41.

Таблица 3.41 - Формат регистра PDI Error Code

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | Тайм-аут обращения по встроенной шине | 0 | чтение | чтение |
| 7:1 | Зарезервировано | 7’h00 | чтение | чтение |

Регистр *PDI Error Code* сбрасывается при записи какого-либо значения в регистр *PDI Error Counter*. Регистр *PDI Error Code* перестает считать при достижении значения насыщения 0хFF.

* + 1. Регистр Lost Link Counter 0 (0x0310)

Формат регистра приведен в таблице 3.42.

Таблица 3.42 - Формат регистра Lost Link Counter 0

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | Lost Link counter of Port 0  Счетчик события «потеря link» порта 0 | 0x00 | чтение/ запись/ сброс | чтение |

Регистр *Lost Link Counter 0 с*брасывается при записи какого-либо значения в какой либо-регистр регистр:0x310-0x313*.* Регистр *Lost Link Counter 0* перестает считать при достижении значения насыщения 0хFF.

* + 1. Регистр Lost Link Counter 1 (0x0311)

Формат регистра приведен в таблице 3.43.

Таблица 3.43 - Формат регистра Lost Link Counter1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | Lost Link counter of Port 1  Счетчик события «потеря link» порта 1 | 0x00 | чтение/ запись/ сброс | чтение |

Регистр *Lost Link Counter 1 с*брасывается при записи какого-либо значения в какой либо-регистр регистр:0x310-0x313*.* Регистр *Lost Link Counter 1* перестает считать при достижении значения насыщения 0хFF.

### Регистр Lost Link Counter 2 (0x0312)

Формат регистра приведен в таблице 3.42a.

Таблица 3.42a - Формат регистра Lost Link Counter 2

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | Lost Link counter of Port 2  Счетчик события «потеря link» порта 2 | 0x00 | чтение/ запись/ сброс | чтение |

Регистр Lost Link Counter 2 cбрасывается при записи какого-либо значения в какой либо-регистр регистр:0x310-0x313*.* Регистр Lost Link Counter 2 перестает считать при достижении значения насыщения 0хFF.

### Регистр Lost Link Counter 3 (0x0313)

Формат регистра приведен в таблице 3.43a.

Таблица 3.43a - Формат регистра Lost Link Counter 3

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | Lost Link counter of Port 3  Счетчик события «потеря link» порта 3 | 0x00 | чтение/ запись/ сброс | чтение |

Регистр Lost Link Counter 3 cбрасывается при записи какого-либо значения в какой либо-регистр регистр:0x310-0x313*.* Регистр Lost Link Counter 3перестает считать при достижении значения насыщения 0хFF.

* + 1. Регистр Watchdog Divider (0x0400:0x0401)

Формат регистра приведен в таблице 3.44.

Таблица 3.44 - Формат регистра Watchdog Divider

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | Watchdog divider  Предделитель сторожевых таймеров, число (за вычетом значения 2) периодов тактового сигнала частотой 25 МГц | 0х09С2 | чтение/ запись | чтение |

* + 1. Регистр Watchdog Time PDI (0x0410:0x0411)

Формат регистра приведен в таблице 3.45.

Таблица 3.45 - Формат регистра Watchdog Time PDI

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | Watchdog Time PDI  Время срабатывания сторожевого таймера Watchdog PDI , число тактов базового тактового сигнала (деленный на watchdog divider синхросигнал 25 МГц) | 0х03Е8 | чтение/ запись | чтение |

Сторожевой таймер Watchdog PDI выключен, если в регистре нулевое значение.

* + 1. Регистр Watchdog Time Process Data (0x0420:0x0421)

Формат регистра приведен в таблице 3.46.

Таблица 3.46 - Формат регистра Watchdog Time Process Data

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | Watchdog Time Process Data  Время срабатывания сторожевого таймера Watchdog Process Data, число тактов базового тактового сигнала | 0х03Е8 | чтение/ запись | чтение |

Сторожевой таймер Watchdog Process Data выключен, если в регистре нулевое значение.

* + 1. Регистр Watchdog Status Process Data (0x0440:0x0441)

Формат регистра приведен в таблице 3.47.

Таблица 3.47 - Формат регистра Watchdog Status Process Data

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | Watchdog Status of Process Data  0: сторожевой таймер сработал  1: сторожевой таймер активен или запрещен | 0 | чтение | чтение/ запись |
| 15:1 | Зарезервировано | 15’h0000 | чтение | чтение/ запись |

Чтение регистра процессором (PDI) сбрасывает бит *Watchdog Process Data* (разряд 6) регистра *AL Event Request* (0x0220).

* + 1. Регистр Watchdog Counter Process Data (0x0442)

Формат регистра приведен в таблице 3.48.

Таблица 3.48 - Формат регистра Watchdog Counter Process Data

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | Watchdog Status Process Data Счетчик срабатываний сторожевого таймера Watchdog Process Data | 0x00 | чтение/ запись/ сброс | чтение |

Регистр *Watchdog Counter Process Data* сбрасывается при записи какого-либо значения в какой-либо регистр: *Watchdog Counter Process Data, Watchdog Counter PDI.* Регистр *Watchdog Counter Process Data* перестает считать при достижении значения насыщения 0xFF.

* + 1. Регистр Watchdog Counter PDI (0x0443)

Формат регистра приведен в таблице 3.49.

Таблица 3.49 - Формат регистра Watchdog Counter PDI

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | Watchdog PDI Counter  Счетчик срабатываний сторожевого таймера PDI Watchdog | 0х00 | чтение/ запись/ сброс | чтение |

Регистр *Watchdog Counter PDI* сбрасывается при записи какого-либо значения в какой-либо регистр: *Watchdog Counter Process Data, Watchdog Counter PDI.* Регистр *Watchdog Counter PDI* перестает считать при достижении значения насыщения 0xFF.

* + 1. Регистр EEPROM Configuration (0x0500)

Формат регистра приведен в таблице 3.50.

Таблица 3.50 - Формат регистра EEPROM Configuration

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | EEPROM control is offered to PDI:  0: PDI не управляет SII EEPROM  1: PDI управляет SII EEPROM | 0 | чтение/ запись | чтение |
| 1 | Force ECAT access:  0: не изменять значение бита *Access to EEPROM* регистра *EEPROM PDI Access State* (0x0501)  1: сброс бита *Access to EEPROM* | 0 | чтение/ запись | чтение |
| 7:2 | Зарезервировано | 6’h00 | чтение | чтение |

* + 1. Регистр EEPROM PDI Access State (0x0501)

Формат регистра приведен в таблице 3.51.

Таблица 3.51 - Формат регистра EEPROM PDI Access State

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | Access to EEPROM:  0: PDI закончил управление SII EEPROM  1: PDI начал управление SII EEPROM | 0 | чтение | чтение/ запись |
| 7:1 | Зарезервировано, запись 0 | 7’h00 | чтение | чтение |

Запись в регистр процессором (PDI) возможна либо, если установлен бит *Access to EEPROM* исброшен бит *Force ECAT access*, либо сброшен бит *EEPROM control is offered to PDI* (разряд 0) регистра *EEPROM Configuration* (0x0500) итакжесброшен бит *Force ECAT access*.

* + 1. Регистр EEPROM Control/Status (0x0502:0x0503)

Формат регистра приведен в таблице 3.52.

Таблица 3.52 - Формат регистра EEPROM Control/Status

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | ECAT write enable  Возможность записи SII EEPROM через ECAT:  0: запрос на запись отключен  1: запрос на запись включен  Данный бит всегда 1 если PDI управляет SII EEPROM | 0 | чтение/ запись | чтение |
| 4:1 | Зарезервировано, запись 0 | 0х0 | чтение | чтение |
| 5 | EEPROM emulation  EEPROM имитация:  0: используется интерфейс I2С  1: PDI производит имитацию содержимого SII EEPROM (I2С не используется) | 0 | чтение | чтение |
| 6 | Поддерживаемое количество байтов в команде чтения SII EEPROM:  0: 4 байта  1: 8 байт | 1 | чтение | чтение |
| 7 | Количество байт адреса при обращении к SII EEPROM:  0: 1 адресный байт (1Kбит – 16Кбит EEPROM’s)  1: 2 адресных байта (32Kбит – 4Mбит EEPROM’s) | 1 | чтение | чтение |
| 10:8 | Command register  Запись: инициировать команду  Чтение: выполняемая в данный момент команда  Значения битового поля:  000: Нет команды/ сброс статусных битов  001: команда чтения  010: команда записи  100: команда загрузки  остальные значения зарезервированы.  Недопустимые команды  Имитация EEPROM только: после выполнения, PDI записывает значение команды, чтобы указать, что операция готова | 000 | чтение/ запись | чтение/ запись |
| 11 | Наличие ошибки cheksum в области конфигурации ESC:  0: нет ошибки  1: ошибка | 0 | чтение | чтение |
| 12 | Статус загрузки SII EEPROM:  1: SII EEPROM загружен, информация устройства корректна  0: SII EEPROM не загружен, информация устройства не доступна (загрузка SII EEPROM в процессе выполнения или завершилась с ошибкой) | 0 | чтение | чтение |
| 13 | Ошибка подтверждения/неверная команда:  0: нет ошибки  1: отсутствие подтверждения или неверная команда  Только для режима имитации SII EEPROM: PDI запись 1 если произошел временный сбой | 0 | чтение | чтение/ запись |
| 14 | Error Write Enable  Ошибка при выполнении команды записи:  0: нет ошибки  1: команда записи без установленного бита *ECAT write enable* | 0 | чтение | чтение |
| 15 | Busy  0: Интерфейс SII EEPROM свободен/неактивен  1: Интерфейс SII EEPROM занят | 0 | чтение | чтение |

* + 1. Регистр EEPROM Address (0x0504: 0x0507)

Формат регистра приведен в таблице 3.53.

Таблица 3.53 - Формат регистра EEPROM Address

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 31:0 | Register EEPROM Address  [10:0]: адрес ячейки EEPROM в пределах размера 32 Кбит | 0 | чтение/ запись | чтение/ запись |

Запись в регистр блокируется при установленном бите *Busy* (разряд 15) регистра *EEPROM Control/Status* (0x0502:0x0503).

* + 1. Регистр EEPROM Data (0x0508:0x050F)

Формат регистра приведен в таблице 3.54.

Таблица 3.54 - Формат регистра EEPROM Data

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | EEPROM Write data  (При выполнении команды записи, данные для записи в SII EEPROM) или  EEPROM Read data  (При выполнении команды чтения, данные полученные из SII EEPROM, младшие байты) | 0х0000 | чтение/ запись | чтение/ запись |
| 63:16 | EEPROM Read data (При выполнении команды чтения, данные полученные из SII EEPROM, старшие байты) |  | чтение | чтение/ запись |

Запись в регистр блокируется при установленном бите *Busy* (разряд 15) регистра *EEPROM Control/Status* (0x0502:0x0503).

* + 1. Регистр MII Management Control/Status (0x0510:0x0511)

Формат регистра приведен в таблице 3.55.

Таблица 3.55 - Формат регистра MII Management Control/Status

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | Write enable  Разрешение выполнять команду записи:  0: запись отключена  1: запись включена | 0 |  |  |
| 1 | Интерфейс MI может контролироваться PDI (для регистров 0x0516-0x0517):  0: только управление ECAT  1: возможно управление через PDI | 0 | чтение | чтение |
| 2 | Обнаружение MI Link и конфигурация (регистры 0x0518-0x051B):  0: запрещено  1: разрешено по крайней мере для одного порта MII | 1 | чтение | чтение |
| 7:3 | PHY address of port 0  Физический адрес приемопередатчика MII порта с номерами 0-3, в зависимости от значения разряда 7 регистра *PHY Address* (0x0512) | 0х0 | чтение | чтение |
| 9:8 | Command register  Регистр команды:  Запись: команда для выполнения  Чтение: команда, выполняемая в данный момент  Значение битового поля:  00: Нет команды/ (сброс ошибочных статусных битов)  01: чтение  10: запись  Остальные значения зарезервированы | 00 | чтение/ запись | чтение/ запись |
| 12:10 | Зарезервировано | 000 | чтение | чтение |
| 13 | Read error  0: нет ошибок  1: зафиксирована ошибка при выполнении команды чтения | 0 | чтение/ запись | чтение/ запись |
| 14 | Command error  0: нет ошибок  1: неверная команда или команда записи без установленного бита *Write enable* | 0 | чтение | чтение |
| 15 | Busy  0: MI интерфейс свободен  1: MI интерфейс выполняет текущую команду (занят) | 0 | чтение | чтение |

* + 1. Регистр PHY Address (0x0512)

Формат регистра приведен в таблице 3.56.

Таблица 3.56 - Формат регистра PHY Address

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 4:0 | PHY Address  Адрес приемопередатчика MII.  Значения 0-3 (соответствуют логическим портам 0-3) автоматически транслируются в физический адрес PHY в соответствии с выбранной схемой адресации. | 5’h00 | чтение/ запись | чтение/ запись |
| 6:5 | Зарезервировано | 00 | чтение | чтение |
| 7 | Определение значения битового поля *PHY address of port 0 в* регистре *MII Management Control/Status* (0x0510:0x0511)  0: физический адрес приемопередатчика MII порта 0  1: физический адрес приемопередатчика MII порта с номером, задаваемым разрядами 4:0 этого регистра. | 0 | чтение/ запись | чтение/ запись |

* + 1. Регистр PHY Register Address (0x0513)

Формат регистра приведен в таблице 3.57.

Таблица 3.57 - Формат регистра PHY Register Address

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 4:0 | Адрес регистра приемопередатчика, который используется при выполнении команды | 5’h00 | чтение/ запись | чтение/ запись |
| 7:5 | Зарезервировано | 000 | чтение | чтение |

* + 1. Регистр *PHY Data* (0x0514:0x0515)

Формат регистра приведен в таблице 3.58.

Таблица 3.58 - Формат регистра PHY Data

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | PHY Read/Write Data  Данные для записи/чтения | 0х0000 | чтение/ запись | чтение/ запись |

* + 1. Регистр MII Management ECAT Access State (0x0516)

Формат регистра приведен в таблице 3.59.

Таблица 3.59 - Формат регистра MII Management ECAT Access State

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | Доступ к MI MII  0: ECAT разрешает передать PDI управление MI MII  1: ECAT требует эксклюзивный доступ к управлению MI MII | 0 | чтение/ запись | чтение |
| 7:1 | Зарезервировано, запись 0 | 7’h00 | чтение | чтение |

* + 1. Регистр MII Management PDI Access State (0x0517)

Формат регистра приведен в таблице 3.60.

Таблица 3.60 - Формат регистра MII Management PDI Access State

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | Access to MII management  Доступ к MI MII:  0: ECAT имеет доступ к MI MII  1: PDI имеет доступ к MI MII | 0 | чтение | чтение/ запись |
| 1 | Force PDI Access State:  0: не изменять бит *Access to MII management*  1: сброс бита *Access to MII management* | 0 | чтение/ запись | чтение |
| 7:2 | Зарезервировано | 6’h00 | чтение | чтение |

* + 1. Регистр PHY Port 0 Status (0x0518)

Регистры 0x518-0x51b имеют смысл, только если разрешён и работает механизм Конфигурации и Управления Связью (MILDC) для соответствующего порта. В противном случае все разряды этих регистров равны 0.

Формат регистра приведен в таблице 3.61.

Таблица 3.61 - Формат регистра PHY Port 0 Status

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | Physical link status  Возвращает результат чтения разряда 2 регистра 0x1 (Status) PHY.  0: link порта 0 не установлен/утерян  1: есть link порта 0 | 0 | чтение | чтение |
| 1 | Link status (100FD).  0: на порту 0 не установлен link с параметрами 100МБит/с, full-duplex  1: на порту 0 есть link с параметрами 100МБит/с, full-duplex | 0 | чтение | чтение |
| 2 | Link status error:  0: нет ошибок  1: зафиксированы ошибки link, link запрещен | 0 | чтение | чтение |
| 3 | Ошибка чтения регистра PHY:  0: ошибка чтения не произошла  1: произошла ошибка чтения  Исправляется путем записи любого значения в данный регистр*.* | 0 | чтение/ запись/ сброс | чтение/ запись/ сброс |
| 4 | Link partner error  Возвращает результат чтения разряда 4 регистра 0x1 (Status) PHY.  0: ошибок не зафиксировано  1: зафиксированы ошибки Link partner | 0 | чтение | чтение |
| 5 | PHY configuration updated  0: не было обновления конфигурации приемопередатчика MII  1: приемопередатчик MII был переконфигурирован механизмом MI link detection & configuration (установлены параметры 100Мбит/с. Полный дуплекс, Автонегоциация разрешена (если порт не сконфигурирован для работы в FX-режиме) | 0 | чтение/ запись/ сброс | чтение/ запись/ сброс |
| 7:6 | Зарезервировано | 00 | чтение | чтение |

* + 1. Регистры PHY Port 1-3 Status (0x0519,0x51A,0x51B)

Формат регистров полностью соответствует формату регистра 0x518.

* + 1. Регистр Logical Start address FMMU 0 (0x0600:0x0603)

Формат регистра приведен в таблице 3.63.

Таблица 3.63 - Формат регистра Logical Start address FMMU 0

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 31:0 | Начальный logical адрес блока FMMU канал 0 | 0х00000000 | чтение/ запись | чтение |

* + 1. Регистр Length FMMU 0 (0x0604:0x0605)

Формат регистра приведен в таблице 3.64.

Таблица 3.64 - Формат регистра Length FMMU 0

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | Размер окна преобразования блока FMMU канал 0, в байтах | 0х0000 | чтение/ запись | чтение |

* + 1. Регистр Start bit FMMU 0 in logical address space (0x0606)

Формат регистра приведен в таблице 3.65.

Таблица 3.65 - Формат регистра Start bit FMMU 0 in logical address space

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 2:0 | Указатель начального бита в первом байте для преобразования, определяемым начальным logical адресом блока FMMU канал 0 | 000 | чтение/ запись | чтение |
| 7:3 | Зарезервировано | 5’h0 | чтение | чтение |

* + 1. Регистр Stop bit FMMU 0 in logical address space (0x0607)

Формат регистра приведен в таблице 3.66.

Таблица 3.66 - Формат регистра Stop bit FMMU 0 in logical address space

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 2:0 | Указатель последнего бита в последнем байте для преобразования блока FMMU канал 0 | 000 | чтение/ запись | чтение |
| 7:3 | Зарезервировано | 5’h0 | чтение | чтение |

* + 1. Регистр Physical Start address FMMU 0 (0x0608-0x0609)

Формат регистра приведен в таблице 3.67.

Таблица 3.67 - Формат регистра Physical Start address FMMU 0

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | Начальный physical адрес блока FMMU канал 0 | 0х0000 | чтение/ запись | чтение |

* + 1. Регистр Physical Start bit FMMU 0 (0x060A)

Формат регистра приведен в таблице 3.68.

Таблица 3.68 - Формат регистра Physical Start bit FMMU 0

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 2:0 | Начальный бит в первом байте, определяемым начальным physical адресом блока FMMU канал 0 | 000 | чтение/ запись | чтение |
| 7:3 | Зарезервировано | 5’h00 | чтение | чтение |

* + 1. Регистр Type FMMU 0 (0x060B)

Формат регистра приведен в таблице 3.69.

Таблица 3.69 - Формат регистра Type FMMU 0

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | 0: Ignore mapping for read accesses  Канал 0 блока FMMU не используется в командах чтения  1: Use mapping for read accesses  Канал 0 блока FMMU используется в командах чтения | 0 | чтение/ запись | чтение |
| 1 | 0: Ignore mapping for write accesses  Канал 0 блока FMMU не используется в командах записи  1: Use mapping for write accesses  Канал 0 блока FMMU используется в командах записи | 0 | чтение/ запись | чтение |
| 7:2 | Зарезервировано | 6’h00 | чтение | чтение |

* + 1. Регистр Activate FMMU 0 (0x060C)

Формат регистра приведен в таблице 3.70.

Таблица 3.70 - Формат регистра Activate FMMU 0

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | 0: FMMU deactivated  Канал 0 блока FMMU выключен  1: FMMU activated.  Канал 0 блока FMMU включен | 0 | чтение/  запись | чтение |
| 7:1 | Зарезервировано | 7’h00 | чтение | чтение |

* + 1. Регистр Logical Start address FMMU 1(0x0610:0x0613)

Формат регистра приведен в таблице 3.71.

Таблица 3.71 - Формат регистра Logical Start address FMMU 1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 31:0 | Начальный logical адрес блока FMMU канал 1 | 0х00000000 | чтение/ запись | чтение |

* + 1. Регистр Length FMMU 1(0x0614:0x0615)

Формат регистра приведен в таблице 3.72.

Таблица 3.72 - Формат регистра Length FMMU 1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | Размер окна преобразования блока FMMU канал 1, в байтах | 0x0000 | чтение/ запись | чтение |

* + 1. Регистр Start bit FMMU 1 in logical address space (0x0616)

Формат регистра приведен в таблице 3.73.

Таблица 3.73 - Формат регистра Start bit FMMU 1 in logical address space

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 2:0 | Указатель начального бита в первом байте для преобразования, определяемым начальным logical адресом блока FMMU канал 1 | 000 | чтение/ запись | чтение |
| 7:3 | Зарезервировано | 5’h00 | чтение | чтение |

* + 1. Регистр Stop bit FMMU 1 in logical address space (0x0617)

Формат регистра приведен в таблице 3.74.

Таблица 3.74 - Формат регистра Stop bit FMMU 1 in logical address space

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 2:0 | Указатель последнего бита в последнем байте для преобразования блока FMMU канал 1 | 000 | чтение/ запись | чтение |
| 7:3 | Зарезервировано | 5’h00 | чтение | чтение |

* + 1. Регистр Physical Start address FMMU 1(0x0618:0x619)

Формат регистра приведен в таблице 3.75.

Таблица 3.75 - Формат регистра Physical Start address FMMU 1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | Начальный physical адрес блока FMMU канал 1 | 0x0000 | чтение/ запись | чтение |

* + 1. Регистр Physical Start bit FMMU 1 (0x061A)

Формат регистра приведен в таблице 3.76.

Таблица 3.76 - Формат регистра Physical Start bit FMMU 1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 2:0 | Начальный бит в первом байте, определяемым начальным physical адресом блока FMMU канал 1 | 000 | чтение/ запись | чтение |
| 7:3 | Зарезервировано | 5’h00 | чтение | чтение |

* + 1. Регистр Type FMMU 1 (0x061B)

Формат регистра приведен в таблице 3.77.

Таблица 3.77 - Формат регистра Type FMMU 1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | 0: Ignore mapping for read accesses  Канал 1 блока FMMU не используется в командах чтения  1: Use mapping for read accesses  Канал 1 блока FMMU используется в командах чтения | 0 | чтение/ запись | чтение |
| 1 | 0: Ignore mapping for write accesses  Канал 1 блока FMMU не используется в командах записи  1: Use mapping for write accesses  Канал 1 блока FMMU используется в командах записи | 0 | чтение/ запись | чтение |
| 7:2 | Зарезервировано | 6’h00 | чтение | чтение |

* + 1. Регистр Activate FMMU 1 (0x061C)

Формат регистра приведен в таблице 3.78.

Таблица 3.78 - Формат регистра Activate FMMU 1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | 0: FMMU deactivated  Канал 1 блока FMMU выключен  1: FMMU activated.  Канал 1 блока FMMU включен | 0 | чтение/ запись | чтение |
| 7:1 | Зарезервировано | 6’h00 | чтение | чтение |

* + 1. Регистр Logical Start address FMMU 2 (0x0620:0x0623)

Формат регистра приведен в таблице 3.79.

Таблица 3.79 - Формат регистра Logical Start address FMMU 2

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 31:0 | Начальный logical адрес блока FMMU канал 2 | 0х00000000 | чтение/ запись | чтение |

* + 1. Регистр Length FMMU 2 (0x0624:0x0625)

Формат регистра приведен в таблице 3.80.

Таблица 3.80 - Формат регистра Length FMMU 2

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | Размер окна преобразования блока FMMU канал 2, в байтах | 0x0000 | чтение/ запись | чтение |

* + 1. Регистр Start bit FMMU 2 in logical address space (0x0626)

Формат регистра приведен в таблице 3.81.

Таблица 3.81 - Формат регистра Start bit FMMU 2 in logical address space

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 2:0 | Указатель начального бита в первом байте для преобразования, определяемым начальным logical адресом блока FMMU канал 2 | 000 | чтение/ запись | чтение |
| 7:3 | Зарезервировано | 5’h00 | чтение | чтение |

* + 1. Регистр Stop bit FMMU 2 in logical address space (0x0627)

Формат регистра приведен в таблице 3.82.

Таблица 3.82 - Формат регистра Stop bit FMMU 2 in logical address space

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 2:0 | Указатель последнего бита в последнем байте для преобразования блока FMMU канал 2 | 000 | чтение/ запись | чтение |
| 7:3 | Зарезервировано | 5’h00 | чтение | чтение |

* + 1. Регистр Physical Start address FMMU 2 (0x0628)

Формат регистра приведен в таблице 3.83.

Таблица 3.83 - Формат регистра Physical Start address FMMU 2

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | Начальный physical адрес блока FMMU канал 2 | 0x0000 | чтение/ запись | чтение |

* + 1. Регистр Physical Start bit FMMU 2 (0x0629)

Формат регистра приведен в таблице 3.84.

Таблица 3.84 - Формат регистра Physical Start bit FMMU 2

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 2:0 | Начальный в первом байте, определяемым начальным physical адресом блока FMMU канал 2 | 000 | чтение/ запись | чтение |
| 7:3 | Зарезервировано | 5’h00 | чтение | чтение |

* + 1. Регистр Type FMMU 2 (0x062A)

Формат регистра приведен в таблице 3.85.

Таблица 3.85 - Формат регистра Type FMMU 2

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | 0: Ignore mapping for read accesses  Канал 2 блока FMMU не используется в командах чтения  1: Use mapping for read accesses  Канал 2 блока FMMU используется в командах чтения | 0 | чтение/ запись | чтение |
| 1 | 0: Ignore mapping for write accesses  Канал 2 блока FMMU не используется в командах записи  1: Use mapping for write accesses  Канал 2 блока FMMU используется в командах записи | 0 | чтение/ запись | чтение |
| 7:2 | Зарезервировано | 00 | чтение | чтение |

* + 1. Регистр Activate FMMU 2 (0x062B)

Формат регистра приведен в таблице 3.86.

Таблица 3.86 - Формат регистра Activate FMMU 2

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | 0: FMMU deactivated  Канал 2 блока FMMU выключен  1: FMMU activated.  Канал 2 блока FMMU включен | 0 | чтение/ запись | чтение |
| 7:1 | Зарезервировано | 6’h00 | чтение | чтение |

* + 1. Регистр Physical Start Address SyncManager 0 (0x0800:0x0801)

Формат регистра приведен в таблице 3.87.

Таблица 3.87 - Формат регистра Physical Start Address SyncManager 0

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | Начальный physical адрес байта блока SyncManager канала 0 | 0x00 | чтение/ запись | чтение |

* + 1. Регистр *Length SyncManager 0* (0x0802:0x0803)

Формат регистра приведен в таблице 3.88.

Таблица 3.88 - Формат регистра Length SyncManager 0

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | Число байт конвертирования для блока SyncManager канала 0 | 0x0000 | чтение/ запись | чтение |

* + 1. Регистр Control Register SyncManager 0 (0x0804)

Формат регистра приведен в таблице 3.89.

Таблица 3.89 - Формат регистра Control Register SyncManager 0

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 1:0 | Operation Mode:  Режим работы блока SyncManager канала 0:  00: использование буферов  01: Reserved  10: Mailbox (Single buffer mode)  11: зарезервировано | 00 | чтение/ запись | чтение |
| 3:2 | Direction:  Тип команды блока SyncManager канала 0  00: Чтение: для ECAT разрешено чтение, для PDI разрешена запись.  01: Запись: для ECAT разрешена запись, для PDI разрешено чтение.  10: зарезервировано  11: зарезервировано | 00 | чтение/ запись | чтение |
| 4 | Запрос прерывания в регистре ECAT Event Request Register  0: м  1: разрешено | 0 | чтение/ запись | чтение |
| 5 | Запрос прерывания в регистре PDI Event Request Register:  0: запрещено  1: разрешено | 0 | чтение/ запись | чтение |
| 6 | Разрешение Watchdog Trigger:  0: запрещено  1: разрешено | 0 | чтение/ запись | чтение |
| 7 | зарезервировано | 0 | чтение | чтение |

* + 1. Регистр Status Register SyncManager 0 (0x0805)

Формат регистра приведен в таблице 3.90.

Таблица 3.90 - Формат регистра Status Register SyncManager 0

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | Interrupt Write:  Статус запроса прерывания после успешной записи в буфер:  1: Нет запроса на прерывание  0: Есть запрос на прерывание | 0 | Чтение | чтение |
| 1 | Interrupt Read:  Статус запроса прерывания после успешного чтения из буфера:  1: Нет запроса на прерывание  0: Есть запрос на прерывание | 0 | чтение | чтение |
| 2 | Зарезервировано | 0 | чтение | чтение |
| 3 | Mailbox mode:  mailbox status:  0: mailbox пустой  1: mailbox полный  Буферный режим:  зарезервировано | 0 | чтение | чтение |
| 5:4 | Буферный режим: состояние буфера (последний записанный буфер):  00: 1.буфер  01: 2.буфер  10: 3.буфер  11: (нет записи буфера)  Mailbox mode:  зарезервировано | 11 | чтение | чтение |
| 6 | Буфер чтения в использовании (открыто) | 0 | чтение | чтение |
| 7 | Буфер записи в использовании (открыто) | 0 | чтение | чтение |

* + 1. Регистр Activate SyncManager 0 (0x0806)

Формат регистра приведен в таблице 3.91.

Таблица 3.91 - Формат регистра Activate SyncManager 0

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | SyncManager Enable/Disable:  Канал 0 блока SyncManager включен/выключен:  0: выключен: доступ к памяти без управления SyncManager  1: включен: SyncManager активен и управляет областью памяти, установленной в конфигурации | 0 | чтение/ запись | чтение/ запись |
| 1 | Повтор запроса: Разрешение выполнять повтор при занятости mailbox (в основном используется в сочетании с почтовым ящиком чтения ECAT) | 0 | чтение/ запись | чтение/ запись |
| 5:2 | Зарезервировано | 0x0 | чтение | чтение/ запись |
| 6 | Latch Event ECAT:  0: нет  1: разрешить фиксировать событие для блока Latch Unit при смене ведущего буфера ECAT | 0 | чтение/ запись | чтение/ запись |
| 7 | Latch Event PDI:  0: нет  1: разрешить фиксировать событие для блока Latch Unit при смене буфера PDI Ведущим или когда PDI Ведущий обратился по начальному адресу буфера | 0 | чтение/ запись | чтение/ запись |

* + 1. Регистр PDI Control SyncManager 0 (0x0807)

Формат регистра приведен в таблице 3.92.

Таблица 3.92 - Формат регистра PDI Control SyncManager 0

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | Деактивация SyncManager:  Чтение:  0: нормальная работа, SyncManager активирован  1: SyncManager деактивирован и сброшен  SyncManager блокирует доступ к области памяти  Запись  0: SyncManager активирован  1: Запрос на отключение SyncManager | 0 | чтение | чтение/ запись |
| 1 | Repeat Ack:  Подтверждение выполнения предыдущего повтора при занятости mailbox | 0 | чтение | чтение/ запись |
| 7:2 | Зарезервировано | 6’h00 | чтение | чтение |

* + 1. Регистр Register physical Start Address SyncManager (0x0808:0x0809)

Формат регистра приведен в таблице 3.93.

Таблица 3.93 - Формат регистра Register physical Start Address SyncManager 1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | Начальный physical адрес байта блока SyncManager канала 1 | 0x0000 | чтение/ запись | чтение |

* + 1. Регистр *Length SyncManager 1* (0x080A:0x080B)

Формат регистра приведен в таблице 3.94.

Таблица 3.94 - Формат регистра Length SyncManager 1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | Число байт конвертирования для блока SyncManager канала 1 | 0x0000 | чтение/ запись | чтение |

* + 1. Регистр Control Register SyncManager 1 (0x080C)

Формат регистра приведен в таблице 3.95.

Таблица 3.95 - Формат регистра Control Register SyncManager 1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 1:0 | Operation Mode:  Режим работы блока SyncManager канала 1:  00: использование буферов  01: Reserved  10: Mailbox (Single buffer mode)  11: Reserved | 00 | чтение/ запись | чтение |
| 3:2 | Direction:  Тип команды блока SyncManager канала 1  00: Чтение: для ECAT разрешено чтение, для PDI разрешена запись.  01: Запись: для ECAT разрешена запись, для PDI разрешено чтение.  10: зарезервировано  11: зарезервировано | 00 | чтение/ запись | чтение |
| 4 | Запрос прерывания в регистре ECAT Event Request Register  0: не разрешено  1: разрешено | 0 | чтение/ запись | чтение |
| 5 | Запрос прерывания в регистре PDI Event Request Register:  0: не разрешено  1: разрешено | 0 | чтение/ запись | чтение |
| 6 | Разрешение Watchdog Trigger:  0: не разрешено  1: разрешено | 0 | чтение/ запись | чтение |
| 7 | Зарезервировано | 0 | чтение | чтение |

* + 1. Регистр Status Register SyncManager 1 (0x080D)

Формат регистра приведен в таблице 3.96.

Таблица 3.96 - Формат регистра Status Register SyncManager 1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | Interrupt Write:  Статус запроса прерывания после успешной записи в буфер:  1: Нет запроса на прерывание  0: Есть запрос на прерывание | 0 | чтение | чтение |
| 1 | Interrupt Read:  Статус запроса прерывания после успешного чтения из буфера:  1: Нет запроса на прерывание  0: Есть запрос на прерывание | 0 | чтение | чтение |
| 2 | Зарезервировано | 0 | чтение | чтение |
| 3 | Mailbox mode:  mailbox status:  0: mailbox пустой  1: mailbox полный  Буферный режим:  зарезервировано | 0 | чтение | чтение |
| 5:4 | Буферный режим: состояние буфера (последний записанный буфер):  00: 1.буфер  01: 2.буфер  10: 3.буфер  11: (нет записи буфера)  Mailbox mode:  зарезервировано | 11 | чтение | чтение |
| 6 | Буфер чтения в использовании (открыто) | 0 | чтение | чтение |
| 7 | Буфер записи в использовании (открыто) | 0 | чтение | чтение |

* + 1. Регистр Activate SyncManager 1 (0x080E)

Формат регистра приведен в таблице 3.97.

Таблица 3.97 - Формат регистра Activate SyncManager 1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | SyncManager Enable/Disable:  Канал 1 блока SyncManager включен/выключен:  0: выключен: доступ к памяти без управления SyncManager  1: включен: SyncManager активен и управляет областью памяти, установленной в конфигурации | 0 | чтение/ запись | чтение/ запись |
| 1 | Повтор запроса: Разрешение выполнять повтор при занятости mailbox (в основном используется в сочетании с почтовым ящиком чтения ECAT) | 0 | чтение/ запись | чтение/ запись |
| 5:2 | Зарезервировано | 0x0 | чтение | чтение/ запись |
| 6 | Latch Event ECAT:  0: нет  1: разрешить фиксировать событие для блока Latch Unit при смене ведущего буфера ECAT | 0 | чтение/ запись | чтение/ запись |
| 7 | Latch Event PDI:  0: нет  1: разрешить фиксировать событие для блока Latch Unit при смене буфера PDI Ведущим или когда PDI Ведущий обратился по начальному адресу буфера | 0 | чтение/ запись | чтение/ запись |

* + 1. Регистр PDI Control SyncManager 1 (0x080F)

Формат регистра приведен в таблице 3.98.

Таблица 3.98 - Формат регистра PDI Control SyncManager 1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | Деактивация SyncManager:  Чтение:  0: нормальная работа, SyncManager активирован  1: SyncManager деактивирован и сброшен  SyncManager блокирует доступ к области памяти  Запись  0: SyncManager активирован  1: Запрос на отключение SyncManager | 0 | чтение | чтение/ запись |
| 1 | Repeat Ack:  Подтверждение выполнения предыдущего повтора при занятости mailbox | 0 | чтение | чтение/ запись |
| 7:2 | Зарезервировано | 6’h00 | чтение | чтение |

* + 1. Регистр Register physical Start Address SyncManager 2 (0x0810:0x0811)

Формат регистра приведен в таблице 3.99.

Таблица 3.99 - Формат регистра Register physical Start Address SyncManager 2

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | Начальный physical адрес байта блока SyncManager канала 2 | 0x0000 | чтение/ запись | чтение |

* + 1. Регистр Length SyncManager 2 (0x0812:0x0813)

Формат регистра приведен в таблице 3.100.

Таблица 3.100 - Формат регистра Length SyncManager 2

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | Число байт конвертирования для блока SyncManager канала 2 | 0x0000 | чтение/ запись | чтение |

* + 1. Регистр Control Register SyncManager 2 (0x0814)

Формат регистра приведен в таблице 3.101.

Таблица 3.101 - Формат регистра Control Register SyncManager 2

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 1:0 | Operation Mode:  Режим работы блока SyncManager канала 2:  00: использование буферов  01: Reserved  10: Mailbox (Single buffer mode)  11: Reserved | 00 | чтение/ запись | чтение |
| 3:2 | Direction:  Тип команды блока SyncManager канала 2  00: Чтение: для ECAT разрешено чтение, для PDI разрешена запись.  01: Запись: для ECAT разрешена запись, для PDI разрешено чтение.  10: зарезервировано  11: зарезервировано | 00 | чтение/ запись | чтение |
| 4 | Запрос прерывания в регистре ECAT Event Request Register  0: не разрешено  1: разрешено | 0 | чтение/ запись | чтение |
| 5 | Запрос прерывания в регистре PDI Event Request Register:  0: не разрешено  1: разрешено | 0 | чтение/ запись | чтение |
| 6 | Разрешение Watchdog Trigger:  0: не разрешено  1: разрешено | 0 | чтение/ запись | чтение |
| 7 | Зарезервировано | 0 | чтение | чтение |

* + 1. Регистр Status Register SyncManager 2 (0x0815)

Формат регистра приведен в таблице 3.102.

Таблица 3.102 - Формат регистра Status Register SyncManager 2

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | Interrupt Write:  Статус запроса прерывания после успешной записи в буфер:  1: Нет запроса на прерывание  0: Есть запрос на прерывание | 0 | чтение | чтение |
| 1 | Interrupt Read:  Статус запроса прерывания после успешного чтения из буфера:  1: Нет запроса на прерывание  0: Есть запрос на прерывание | 0 | чтение | чтение |
| 2 | Зарезервировано | 0 | чтение | чтение |
| 3 | Mailbox mode:  mailbox status:  0: mailbox пустой  1: mailbox полный  Буферный режим:  зарезервировано | 0 | чтение | чтение |
| 5:4 | Буферный режим: состояние буфера (последний записанный буфер):  00: 1.буфер  01: 2.буфер  10: 3.буфер  11: (нет записи буфера)  Mailbox mode:  зарезервировано | 11 | чтение | чтение |
| 6 | Буфер чтения в использовании (открыто) | 0 | чтение | чтение |
| 7 | Буфер записи в использовании (открыто) | 0 | чтение | чтение |

* + 1. Регистр Activate SyncManager 2 (0x0816)

Формат регистра приведен в таблице 3.103.

Таблица 3.103 - Формат регистра Activate SyncManager 2

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | SyncManager Enable/Disable:  Канал 2 блока SyncManager включен/выключен:  0: выключен: доступ к памяти без управления SyncManager  1: включен: SyncManager активен и управляет областью памяти, установленной в конфигурации | 0 | чтение/ запись | чтение/ запись |
| 1 | Повтор запроса: Разрешение выполнять повтор при занятости mailbox (в основном используется в сочетании с почтовым ящиком чтения ECAT) | 0 | чтение/ запись | чтение/ запись |
| 5:2 | Зарезервировано | 0x0 | чтение | чтение/ запись |
| 6 | Latch Event ECAT:  0: нет  1: разрешить фиксировать событие для блока Latch Unit при смене ведущего буфера ECAT | 0 | чтение/ запись | чтение/ запись |
| 7 | Latch Event PDI:  0: нет  1: разрешить фиксировать событие для блока Latch Unit при смене буфера PDI Ведущим или когда PDI Ведущий обратился по начальному адресу буфера | 0 | чтение/ запись | чтение/ запись |

* + 1. Регистр PDI Control SyncManager 2 (0x0817)

Формат регистра приведен в таблице 3.104.

Таблица 3.104 - Формат регистра PDI Control SyncManager 2

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | Деактивация SyncManager:  Чтение:  0: нормальная работа, SyncManager активирован  1: SyncManager деактивирован и сброшен  SyncManager блокирует доступ к области памяти  Запись  0: SyncManager активирован  1: Запрос на отключение SyncManager | 0 | чтение | чтение/ запись |
| 1 | Repeat Ack:  Подтверждение выполнения предыдущего повтора при занятости mailbox | 0 | чтение | чтение/ запись |
| 7:2 | Зарезервировано | 6’h00 | чтение | чтение |

* + 1. Регистр Physical Start Address SyncManager 3 (0x0818:0x0819)

Формат регистра приведен в таблице 3.105.

Таблица 3.105 - Формат регистра Physical Start Address SyncManager 3

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | Начальный physical адрес байта блока SyncManager канала 3 | 0x0000 | чтение/ запись | чтение |

* + 1. Регистр Length SyncManager 3 (0x081A:0x081B)

Формат регистра приведен в таблице 3.106.

Таблица 3.106 - Формат регистра Length SyncManager 3

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | Число байт конвертирования для блока SyncManager канала 3 | 0x0000 | чтение/ запись | чтение |

* + 1. Регистр Control Register SyncManager 3 (0x081C)

Формат регистра приведен в таблице 3.107.

Таблица 3.107 - Формат регистра Control Register SyncManager 3

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 1:0 | Operation Mode:  Режим работы блока SyncManager канала 3:  00: использование буферов  01: Reserved  10: Mailbox (Single buffer mode)  11: Reserved | 00 | чтение/ запись | чтение |
| 3:2 | Direction:  Тип команды блока SyncManager канала 3  00: Чтение: для ECAT разрешено чтение, для PDI разрешена запись.  01: Запись: для ECAT разрешена запись, для PDI разрешено чтение.  10: зарезервировано  11: зарезервировано | 00 | чтение/ запись | чтение |
| 4 | Запрос прерывания в регистре ECAT Event Request Register  0: не разрешено  1: разрешено | 0 | чтение/ запись | чтение |
| 5 | Запрос прерывания в регистре PDI Event Request Register:  0: не разрешено  1: разрешено | 0 | чтение/ запись | чтение |
| 6 | Разрешение Watchdog Trigger:  0: не разрешено  1: разрешено | 0 | чтение/ запись | чтение |
| 7 | Зарезервировано | 0 | чтение | чтение |

* + 1. Регистр Status Register SyncManager 3 (0x081D)

Формат регистра приведен в таблице 3.108.

Таблица 3.108 - Формат регистра Status Register SyncManager 3

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | Interrupt Write:  Статус запроса прерывания после успешной записи в буфер:  1: Нет запроса на прерывание  0: Есть запрос на прерывание | 0 | чтение | чтение |
| 1 | Interrupt Read:  Статус запроса прерывания после успешного чтения из буфера:  1: Нет запроса на прерывание  0: Есть запрос на прерывание | 0 | чтение | чтение |
| 2 | Зарезервировано | 0 | чтение | чтение |
| 3 | Mailbox mode:  mailbox status:  0: mailbox пустой  1: mailbox полный  Буферный режим:  зарезервировано | 0 | чтение | чтение |
| 5:4 | Буферный режим: состояние буфера (последний записанный буфер):  00: 1.буфер  01: 2.буфер  10: 3.буфер  11: (нет записи буфера)  Mailbox mode:  зарезервировано | 11 | чтение | чтение |
| 6 | Буфер чтения в использовании (открыто) | 0 | чтение | чтение |
| 7 | Буфер записи в использовании (открыто) | 0 | чтение | чтение |

* + 1. Регистр Activate SyncManager 3 (0x081E)

Формат регистра приведен в таблице 3.109.

Таблица 3.109 - Формат регистра Activate SyncManager 3

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | SyncManager Enable/Disable:  Канал 3 блока SyncManager включен/выключен:  0: выключен: доступ к памяти без управления SyncManager  1: включен: SyncManager активен и управляет областью памяти, установленной в конфигурации | 0 | чтение/ запись | чтение/ запись |
| 1 | Повтор запроса: Разрешение выполнять повтор при занятости mailbox (в основном используется в сочетании с почтовым ящиком чтения ECAT) | 0 | чтение/ запись | чтение/ запись |
| 5:2 | Зарезервировано | 0x0 | чтение | чтение/ запись |
| 6 | Latch Event ECAT:  0: нет  1: разрешить фиксировать событие для блока Latch Unit при смене ведущего буфера ECAT | 0 | чтение/ запись | чтение/запись |
| 7 | Latch Event PDI:  0: нет  1: разрешить фиксировать событие для блока Latch Unit при смене буфера PDI Ведущим или когда PDI Ведущий обратился по начальному адресу буфера | 0 | чтение/ запись | чтение/ запись |

* + 1. Регистр PDI Control SyncManager 3 (0x081F)

Формат регистра приведен в таблице 3.110.

Таблица 3.110 - Формат регистра PDI Control SyncManager 3

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | Деактивация SyncManager:  Чтение:  0: нормальная работа, SyncManager активирован  1: SyncManager деактивирован и сброшен  SyncManager блокирует доступ к области памяти  Запись  0: SyncManager активирован  1: Запрос на отключение SyncManager | 0 | чтение | чтение/ запись |
| 1 | Repeat Ack:  Подтверждение выполнения предыдущего повтора при занятости mailbox | 0 | чтение | чтение/ запись |
| 7:2 | Зарезервировано | 6’h00 | чтение | чтение |

* + 1. Регистр Receive Time Port 0 (0x0900:0x0903)

Формат регистра приведен в таблице 3.111.

Таблица 3.111 - Формат регистра Receive Time Port 0

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 31:0 | Защелкнутое время local-таймера в момент приема в порт 0 начала (sof) пакета. Условия защелкивания: запись командами BWR, FPWR в данный регистр |  | чтение/ запись | чтение |

* + 1. Регистр Receive Time Port 1 (0x0904:0x0907)

Формат регистра приведен в таблице 3.112.

Таблица 3.112 - Формат регистра Receive Time Port 1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 31:0 | Защелкнутое время-local таймера в момент приема в порт 1 начала (sof) пакета. Условия защелкивания: запись командами BWR, FPWR в регистр *Receive Time Port 0* (0x0900:0x0903) |  | чтение | чтение |

* + 1. Регистр Receive Time ECAT Processing Unit (0x0918:0x091F)

Формат регистра приведен в таблице 3.113.

Таблица 3.113 - Формат регистра Receive Time ECAT Processing Unit

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 63:0 | Защелкнутое время-local таймера в момент приема в порт 0 начала (sof) пакета.  Условия защелкивания: запись в регистр *Receive Time Port 0* (0x0900:0x0903) |  | чтение | чтение |

* + 1. Регистр *System Time* (0x0910:0x0917)

Формат регистра приведен в таблице 3.114.

Таблица 3.114 - Формат регистра System Time

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 63:0 | Содержимое системного времени таймера System Time  Значения, считанные по интерфейсу ECAT: локальная копия системного времени с учетом значения регистра System Time Delay (0x0928:0x092B). Момент защелкивания: начало кадра (разделитель Ethernet SOF).  Значения, считанные по интерфейсу PDI: локальная копия системного времени. Момент защелкивания: чтение первого байта | 0x00000000 00000000 | чтение | чтение |
| 31:0 | Запись по интерфейсу ECAT: записанное значение будет сравниваться с локальной копией таймера System Time в блоке Time Loop Control Unit.  Запись по интерфейсу PDI: записанное значение будет сравниваться в блоке Time Loop Control Unit с содержимым регистра Latch0 Time Positive Edge(0x09B0:0x09B3). | Запись (специальная функция)\* | Запись (специальная функция)\*\* |

(\*) Примечание: записанное значение сравнивается в момент: конец пакета ECAT, который записывает данные в регистр и произошла запись хотя-бы первого байта.

(\*\*) Примечание: записанное значение будет сравниваться в момент: запись последнего байта (0x0913) в регистр *Latch0 Time Positive Edge* (0x09B0:0x09B3).

* + 1. Регистр *System Time Offset* (0x0920:0x0927)

Формат регистра приведен в таблице 3.115.

Таблица 3.115 - Формат регистра System Time Offset

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 63:0 | Разница между значениями local-таймера и таймера System Time. Смещение добавляется к local time. | 0x00000000 00000000 | чтение/ запись | чтение/ запись |

* + 1. Регистр *System Time Delay* (0x0928:0x092B)

Формат регистра приведен в таблице 3.116.

Таблица 3.116 - Формат регистра System Time Delay

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 31:0 | Delay between Reference Clock and the ESC Задержка между опорным тактовым сигналом и тактовым сигналом ESC | 0x00000000 | чтение/ запись | чтение/ запись |

* + 1. Регистр *System Time Difference* (0x092C:0x092F)

Формат регистра приведен в таблице 3.117.

Таблица 3.117 - Формат регистра System Time Difference

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 30:0 | Усредненная разница между локальной копией System time  и полученным значением System Time (записанное в регистр *System Time* (0x0910:0x0193)) | 31’h00000000 | чтение | чтение |
| 31 | 0: Local copy of System Time больше или равно полученному System Time  1: Local copy of System Time меньше, чем  полученное System Time | 0 | чтение | чтение |

* + 1. Регистр *Speed Counter Start* (0x0930:0x0931)

Формат регистра приведен в таблице 3.118.

Таблица 3.118 - Формат регистра Speed Counter Start

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 14:0 | Пропускная способность для настройки локальной копии System Time (большие значения → меньшая  пропускная способность и более плавная регулировка)  А доступ на запись сбрасывает системное время  Разница (0x092C:0x092F) и скорость  Счетчик Diff (0x0932:0x0933).  Минимальное значение: от 0x0080 до 0x3FFF | 0x1000 | чтение/ запись | чтение/ запись |
| 15:0 | Зарезервировано | 0x0000 | чтение | чтение |

* + 1. Регистр *Speed Counter Diff* (0x0932:0x933)

Формат регистра приведен в таблице 3.119.

Таблица 3.119 - Формат регистра Speed Counter Diff

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | Отклонение между периодом тактового сигнала таймера локального времени и периодом тактового сигнала таймера Reference Clock’s | 0x0000 | чтение | чтение |

* + 1. Регистр System Time Difference Filter Depth (0x0934)

Формат регистра приведен в таблице 3.120.

Таблица 3.120 - Формат регистра System Time Difference Filter Depth

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 3:0 | Глубина буфера для усреднения отклонения значения полученного системного времени со значением таймера System Time | 0х4 | чтение/ запись | чтение/ запись |
| 7:4 | Зарезервировано | 0x0 | чтение | чтение |

* + 1. Регистр Speed Counter Filter Depth (0x0935)

Формат регистра приведен в таблице 3.121.

Таблица 3.121 - Формат регистра

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 3:0 | Глубина буфера для усреднения отклонения периода тактового сигнала | 0хС | чтение/ запись | чтение/ запись |
| 7:4 | Зарезервировано | 0x0 | чтение | чтение |

* + 1. Регистр Receive Time Latch Mode (0x0936)

Формат регистра приведен в таблице 3.122.

Таблица 3.122 - Формат регистра Receive Time Latch Mode

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | Receive Time Latch Mode  0: Прямое прохождение пакетов  (используется, если кадры сначала принимаются ESC через порт 0: защелкивание меток времени приема на портах 1-3 производится после записи по адресу 0x0900 входящим пакетом с порта 0, поэтому следующие пакеты, входящие в порты 1-3 – это пакеты в обратном направлении)  1: Обратное прохождение пакетов (используется, если кадры сначала принимаются в ESC через порты 1-3) | 0 | чтение/ запись | чтение |
| 7:1 | Зарезервировано | 6’h00 | чтение | чтение |

* + 1. Регистр Cyclic Unit Control (0x0980)

Формат регистра приведен в таблице 3.123.

Таблица 3.123 - Формат регистра Cyclic Unit Control

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | SYNC out unit control: режим работы блока SYNC out  0: управляет ECAT  1: управляет PDI | 0 | чтение/ запись | чтение |
| 3:1 | Зарезервировано | 000 | чтение | чтение |
| 4 | Latch In unit 0: режим работы блока Latch In для сигнала Latch 0  0: управляет ECAT  1: управляет PDI  Примечание: когда управляет PDI, бит всегда установлен. | 0 | чтение/ запись | чтение |
| 5 | Latch In unit 1: режим работы блока Latch In для сигнала Latch 1  0: управляет ECAT  1: управляет PDI | 0 | чтение/ запись | чтение |
| 7:6 | Зарезервировано | 000 | чтение | чтение |

* + 1. Регистр Activation register (0x0981)

Формат регистра приведен в таблице 3.124.

Таблица 3.124 - Формат регистра Activation register

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | Разрешение работы блока Sync Out Unit:  0: запрещена  1: разрешена | 0 | чтение/ запись | чтение/ запись |
| 1 | SYNC0 generation  Генерация SYNC0:  0: запрещена  1: разрешена | 0 | чтение/ запись | чтение/ запись |
| 2 | SYNC1 generation  Генерация SYNC1:  0: запрещена  1: разрешена | 0 | чтение/ запись | чтение/ запись |
| 3 | Разрешение автоматического генерирование сигналов по записи в регистр  Start Time Cyclic Operation (0x0990:0x0997):  0: отключено  1: включена автоматическая активация. Бит *разрешение работы блока Sync Out Unit* (разряд 0)  устанавливается автоматически после записи в регистр *Start Time Cyclic Operation* | 0 | чтение/ запись | чтение/ запись |
| 4 | Extension of Start Time Cyclic Operation  0: моменты системного времени SystemTime (и значения начального времени) для генерации сигналов SYNC0 и SYNC1 определяются 32-х битными значениями  1: моменты системного времени SystemTime (и значения начального времени) для генерации сигналов SYNC0 и SYNC1 определяются 64-х битными значениями | 0 | чтение/ запись | чтение/ запись |
| 5 | Start Time plausibility check  0: режим отключен. Генерация сигналов SYNC0 и SYNC1 при достижении Start Time.  1: режим включен. генерации сигналов SYNC0 и SYNC1 наступает при условии, что счетчик системного времени SystemTime находится вне диапазона времени near future. | 0 | чтение/ запись | чтение/ запись |
| 6 | Near future configuration  0: ½ DC width future (231 нс or 263 нс)  1: ~2.1 сек. | 0 | чтение/ запись | чтение/ запись |
| 7 | SyncSignal debug pulse  Отладочный импульс :  0: деактивирован  1: немедленно генерируется один импульс только сигналов SYNC0, SYNC1 в соответствии с битами: *SYNC0 generation,*  SYNC1 generation.  Этот бит самоустраняющийся, всегда считывается значение 0. | 0 | чтение/ запись | чтение/ запись |

* + 1. Регистр Pulse Length of SyncSignals (0x0982:0x983)

Формат регистра приведен в таблице 3.125.

Таблица 3.125 - Формат регистра Pulse Length of SyncSignals

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | Длительность импульса сигналов SYNC0 и SYNC1 (в единицах 10нс)  0: режим подтверждения: SyncSignals будет cброшен путем считывания регистра состояния SYNC[1:0] | 0х0000 | чтение | чтение |

* + 1. Регистр Activation Status (0x0984)

Формат регистра приведен в таблице 3.126.

Таблица 3.126 - Формат регистра Activation Status

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | Состояние активации сигнала SYNC0  0: импульс сигнала не зафиксирован  1: зафиксирован первый импульс сигнала | 0 | чтение | чтение |
| 1 | Состояние активации сигнала SYNC1  0: импульс сигнала не зафиксирован  1: зафиксирован первый импульс сигнала | 0 | чтение | чтение |
| 2 | Start Time Cyclic Operation (0x0990:0x0997)  Определение момента времени Start Timе при установленном бите (разряд 5) *Start Time plausibility check* регистра *Activation register* (0x0981):  0: момент времени Start Time в переделах диапазона near future  1: момент времени Start Time вне диапазона near future | 0 | чтение | чтение |
| 7:3 | Зарезервировано | 5’h00 | чтение | чтение |

* + 1. Регистр SYNC0 Status (0x098E)

Формат регистра приведен в таблице 3.127.

Таблица 3.127 - Формат регистра SYNC0 Status

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | SYNC0 state для режима подтверждения  SYNC0 в режиме подтверждения разрешено при чтении этого регистра из PDI, используется только в режиме подтверждения | 0 | чтение | чтение/ запись |
| 7:1 | Зарезервировано | 7’h00 | чтение | чтение/ запись |

* + 1. Регистр SYNC1 Status (0x098F)

Формат регистра приведен в таблице 3.128.

Таблица 3.128 - Формат регистра SYNC1 Status

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | SYNC1 state для режима подтверждения  SYNC1 в режиме подтверждения разрешено при чтении этого регистра из PDI, используется только в режиме подтверждения | 0 | чтение | чтение/ запись |
| 7:1 | Зарезервировано | 7’h00 | чтение | чтение/ запись |

* + 1. Регистр Start Time Cyclic Operation (0x0990:0x0997)

Формат регистра приведен в таблице 3.129.

Таблица 3.129 - Формат регистра Start Time Cyclic Operation

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 63:0 | Запись: Start time (System time) of cyclic operation in ns  Чтение: System time of next SYNC0 pulse in ns | 0 | чтение/ запись | чтение/ запись |

* + 1. Регистр *Next SYNC1 Pulse* (0x0998:0x099F)

Формат регистра приведен в таблице 3.130.

Таблица 3.130 - Формат регистра Next SYNC1 Pulse

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 63:0 | System time of next SYNC1 pulse in ns  Время в нс до начала следующего импульса сигнала SYNC1 | 0x00000000\_  00000000 | чтение | чтение |

* + 1. Регистр SYNC0 Cycle Time (0x09A0:0x09A3)

Формат регистра приведен в таблице 3.131.

Таблица 3.131 - Формат регистра SYNC0 Cycle Time

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 31:0 | Время в нс между двумя последовательными импульсами сигнала SYNC0  0: Однотактовый режим, генерирует только один импульс SYNC0. | 0x00000000 | чтение/ запись | чтение/ запись |

* + 1. Регистр SYNC1 Cycle Time (0x09A4:0x09A7)

Формат регистра приведен в таблице 3.132.

Таблица 3.132 - Формат регистра SYNC1 Cycle Time

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 31:0 | Время в нс между импульсами сигнала SYNC0 и SYNC1 | 0 | чтение/ запись | чтение/ запись |

* + 1. Регистр Latch0 Control (0x09A8)

Формат регистра приведен в таблице 3.133.

Таблица 3.133 - Формат регистра Latch0 Control

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | Положительный перепад Latch0:  0: Continuous Latch active  1: Single event (only first event active) | 0 | чтение/ запись | чтение/ запись |
| 1 | Отрицательный перепад Latch0:  0: Continuous Latch active  1: Single event (only first event active) | 0 | чтение/ запись | чтение/ запись |
| 7:2 | Зарезервировано, запись 0 | 6’h00 | чтение | чтение |

* + 1. Регистр Latch1 Control (0x09A9)

Формат регистра приведен в таблице 3.134.

Таблица 3.134 - Формат регистра Latch1 Control

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | Положительный перепад Latch1:  0: Continuous Latch active  1: Single event (only first event active) | 0 | чтение/ запись | чтение/ запись |
| 1 | Отрицательный перепад Latch1:  0: Continuous Latch active  1: Single event (only first event active) | 0 | чтение/ запись | чтение/ запись |
| 7:2 | Зарезервировано, запись 0 | 6’h00 | чтение | чтение |

* + 1. Регистр Latch0 Status (0x09AE)

Формат регистра приведен в таблице 3.135.

Таблица 3.135 - Формат регистра Latch0 Status

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | Событие положительного перепада Event Latch0.  0: положительный перепад не обнаружен или непрерывный режим 1: положительный перепад обнаружен только в режиме одного события. Флаг очищается путем считывания положительного края времени Latch0. | 0 | чтение | чтение |
| 1 | Событие отрицательного перепада Event Latch0.  0: отрицательный перепад не обнаружен или непрерывный режим 1: отрицательный перепад обнаружен только в режиме одного события. Флаг очищается путем считывания положительного края времени Latch0. | 0 | чтение | чтение |
| 2 | Закрепление состояния Latch0 | 0 | чтение | чтение |
| 7:2 | Зарезервировано | 6’h00 | чтение | чтение |

* + 1. Регистр Latch1 Status (0x09AF)

Формат регистра приведен в таблице 3.136.

Таблица 3.136 - Формат регистра Latch1 Status

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | Событие положительного перепада Event Latch1  0: положительный перепад не обнаружен или непрерывный режим 1: положительный перепад обнаружен только в режиме одного события. Флаг очищается путем считывания положительного края времени Latch1. | 0 | чтение | чтение |
| 1 | Событие отрицательного перепада Event Latch1  0: отрицательный перепад не обнаружен или непрерывный режим 1: отрицательный перепад обнаружен только в режиме одного события. Флаг очищается путем считывания положительного края времени Latch1. | 0 | чтение | чтение |
| 2 | Закрепление состояния Latch1 | 0 | чтение | чтение |
| 7:3 | Зарезервировано | 5‘h00 | чтение | чтение |

* + 1. Регистр **Буфер Process RAM** **(0x1000:0x1BFF)**

Формат регистра приведен в таблице 3.137.

Таблица 3.137 - Формат регистра Буфер Process RAM

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 63:0 | Защелкнутое значение таймера System time в момент фронта сигнала LATCH0 | 0x00000000\_  00000000 | чтение | чтение |

* + 1. Регистр Latch0 Time Negative Edge (0x09B8:0x09BF)

Формат регистра приведен в таблице 3.138.

Таблица 3.138 - Формат регистра Latch0 Time Negative Edge

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 63:0 | Защелкнутое значение таймера System time в момент среза сигнала LATCH0 | 0x00000000\_  00000000 | чтение | чтение |

* + 1. Регистр Latch1 Time Positive Edge (0x09C0:0x09C7)

Формат регистра приведен в таблице 3.139.

Таблица 3.139 - Формат регистра Latch1 Time Positive Edge

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 63:0 | Регистр записи System time в момент положительного перепада сигнала LATCH1. | 0x00000000\_  00000000 | чтение | чтение |

* + 1. Регистр Latch1 Time Negative Edge (0x09C8:0x09CF)

Формат регистра приведен в таблице 3.140.

Таблица 3.140 - Формат регистра Latch1 Time Negative Edge

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 63:0 | Регистр записи System time в момент отрицательного перепада сигнала LATCH1. | 0x00000000\_  00000000 | чтение | чтение |

* + 1. Регистр EtherCAT Buffer Change Event Time (0x09F0:0x09F3)

Формат регистра приведен в таблице 3.141.

Таблица 3.141 - Формат регистра EtherCAT Buffer Change Event Time

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 31:0 | Защелкнутое значение local таймера в момент прихода старта пакета при направлении пакета в SyncManager | 0x00000000\_  00000000 | чтение | чтение |

* + 1. Регистр PDI Buffer Start Event Time (0x09F8:0x09FB)

Формат регистра приведен в таблице 3.142.

Таблица 3.142 - Формат регистра PDI Buffer Start Event Time

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 31:0 | Защелкнутое значение local таймера в момент начала чтения/записи буфера Ведущим PDI | 0x00000000 | чтение | чтение |

* + 1. Регистр PDI Buffer Change Event Time (0x09FC:0x09FF)

Формат регистра приведен в таблице 3.143.

Таблица 3.143 - Формат регистра PDI Buffer Change Event Time

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 31:0 | Защелкнутое значение local таймера в момент смены буфера Ведущим PDI | 0x00000000 | чтение | чтение |

* + 1. Регистр Product ID (0x0E00:0x0E07)

Формат регистра приведен в таблице 3.144.

Таблица 3.144 - Формат регистра Product ID

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 63:0 | Product ID | 0x00000002\_  55005618 | чтение | чтение |

* + 1. Регистр Vendor ID (0x0E08:0x0E0F)

Формат регистра приведен в таблице 3.145.

Таблица 3.145 - Формат регистра Vendor ID

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 63:0 | Vendor ID | 0x00000С31 | чтение | чтение |

* + 1. Регистр MAC Configuration (0x0E10)

Формат регистра приведен в таблице 3.146.

Таблица 3.146 - Формат регистра MAC Configuration

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 1:0 | tx\_shift\_mac0[1:0]  ручной сдвиг сигналов MII \_TX порта 0:   |  | | --- | | 00: 0°  01: 90°  10: 180°  11: 270° | | 00 | чтение/  запись | чтение/  запись |
| 2 | tx\_shift\_auto\_mac0  автоматический сдвиг сигналов MII\_TX порта 0:  0 – запрещён, используется ручной сдвиг  1 – разрешён, значение tx\_shift\_mac0[1:0] не имеет значения | 1 |
| 4:3 | tx\_shift\_mac1[1:0]  ручной сдвиг сигналов MII\_TX порта1:   |  | | --- | | 00: 0°  01: 90°  10: 180°  11: 270° | | 00 |
| 5 | tx\_shift\_auto\_mac1  автоматический сдвиг сигналов MII\_TX порта 1:  0 – запрещён, используется ручной сдвиг  1 – разрешён, значение tx\_shift\_mac1[1:0] не имеет значения | 1 |
| 6 | RMII\_mode\_mac0  Выбирает режим работы порта 0 - MII или RMII, если порт не настроен на режим EBUS (разряд 14)  0 - порт 0 работает в режиме MII  1 - порт 0 работает в режиме RMII | 0 |
| 7 | RMII\_mode\_mac1  Выбирает режим работы порта 1 - MII или RMII, если порт не настроен на режим EBUS (разряд 15)  0 - порт 1 работает в режиме MII  1 - порт 1 работает в режиме RMII | 0 |
| 8 | big\_trunc\_en  1 разрешает обрезать слишком длинные входные пакеты (длина которых больше 2047 байт)  0 запрещает обрезать пакеты (пакеты длиной более 16383 байт всё равно будут обрезаны) | 1 |
| 9 | rx\_sof\_select  Выбирает условие формирования сигнала SOF (start of frame):  0 – непосредственно в начале сигнала MII\_RX\_DV (после синхронизации с внутренним тактовым сигналом, но до RX FIFO)  1 – вместе с первым байтом, поступающим в loop-function (после RX FIFO и схемы формирования байтов) | 1 |
| 13:10 | Зарезервировано |  |
| 14 | EBUS\_mode\_mac0  0 - порт 0 работает в режиме MII/RMII  1 - порт 0 работает в режиме EBUS | 0 |
| 15 | EBUS\_mode\_mac1  0 - порт 1 работает в режиме MII/RMII  1 - порт 1 работает в режиме EBUS | 0 |
| 21:16 | mdc\_period[5:0]  Задаёт длительность полупериода сигнала MDC интерфейса MI MII в тактах синхросигнала 25МГц. Т.е. частота MDC определяется как 1/(2\*mdc\_period\*40нс). | 0x5 |
| 22 | add\_clk\_en  1 разрешает добавление одного такта сигнала MDC в конце цикла MI MII | 0 |
| 23 | sup\_pre\_en (preamble suppression enable)  1 разрешает не генерировать 32 такта преамбулы в цикле интерфейса MI MII. Цикл начинается сразу с фазы ST (start of frame). Микросхема PHY должна поддерживать этот режим. | 0 |
| 28:24 | addr\_offset[4:0]  Задаёт смещение реального, физического адреса по отношению к логическому номеру порта, когда indpnd\_PHY\_addresses=0. Едино для всех портов. |  |
| 29 | indpnd\_PHY\_addresses  1 - используется схема адресации микросхем PHY, при которой каждый PHY получает индивидуальный физический адрес, задаваемый в регистрах port0\_adr\_reg (0x0E3C[4:0]), port1\_adr\_reg (0x0E3C[20:15]), port2\_adr\_reg (0x0E84[4:0]), port3\_adr\_reg (0x0E84[20:15]),  0 - используется схема адресации микросхем PHY, при которой физический адрес PHY определяется как «номер порта + addr\_offset». |  |
| 31:30 | Зарезервировано |  |  |  |

* + 1. Регистр MAC0 RxErrors0 (0x0E14)

Содержит статистические 8-разрядные счётчики ошибок приёма порта 0. Счётчик инкрементируется в конце пакета, если соответствующая ошибка детектирована. По достижении значения 0xFF счёт прекращается. Счётчик очищается записью любого значения в соответствующий байт.

Формат регистра приведен в таблице 3.147.

Таблица 3.147 - Формат регистра MAC0 RxErrors0

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | CrcErrCounter[7:0]  Количество пакетов с неправильным FCS (CRC). | 0x00 | чтение | Чтение |
| 15:8 | DbErrCounter[7:0]  Количество пакетов с дополнительным полубайтом. | 0x00 | чтение | Чтение |
| 23:16 | BigErrCounter[7:0]  Количество слишком длинных (обрезанных) пакетов. | 0x00 | чтение | Чтение |
| 31:24 | MiiErrCounter[7:0]  Количество пакетов, при приёме которых был детектирован сигнал MII\_RX\_ER. | 0x00 | чтение | Чтение |

* + 1. Регистр MAC0 RxErrors1 (0x0E18)

Содержит статистические 8-разрядные счётчики ошибок приёма порта 0. Счётчик инкрементируется в конце пакета, если соответствующая ошибка детектирована. По достижении значения 0xFF счёт прекращается. Счётчик очищается записью любого значения в соответствующий байт.

Формат регистра приведен в таблице 3.148.

Таблица 3.148 - Формат регистра *MAC0 RxErrors1*

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | UndfErrCounter[7:0]  Количество пакетов, при приёме которых случилось неожиданное опустошение RX FIFO. Следует увеличить значение RxFIFOSize. | 0x00 | чтение | Чтение |
| 15:8 | OvrfErrCounter[7:0]  Количество пакетов, при приёме которых случилось переполнение RX FIFO. Теоретически возможно при очень длинных пакетах (много больше 2047 байт). | 0x00 | чтение | Чтение |
| 23:16 | SfdErrCounter[7:0]  Количество пакетов с ошибками в преамбуле (слишком длинная преамбула, детектирован MII\_RX\_ER, получен полубайт не равный 0x5 или 0xd). Нечётное количество полубайт не считается ошибкой (при отсутствии других ошибок). Пакет с ошибками в преамбуле сразу же обрезается. | 0x00 | чтение | Чтение |
| 31:24 | RuntCounter[7:0]  Количество слишком коротких пакетов (длина меньше 64 байт). Не считается ошибкой и не инкрементирует другие счётчики ошибок. | 0x00 | чтение | Чтение |

* + 1. Регистр ESC Control1 (0x0E1C)

Формат регистра приведен в таблице 3.149.

Таблица 3.149 - Формат регистра ESC Control1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | MIICntrl  Определяет значение read-only разряда регистра 0x510[1] | 1 | чтение | чтение/  запись |
| 1 | EEPROMEmul  Определяет значение read-only разряда регистра 0x502[5] | 0 |
| 2 | PDIAckWr  PDI function acknowledge by write | 0 |
| 31:3 | Зарезервировано |  |  |  |

* + 1. Регистр MAC0 Debug1 (0x0E20)

Содержит отладочную информацию.

* + 1. Регистр MAC0 Debug2 (0x0E24)

Содержит отладочную информацию.

* + 1. Регистр MAC1 Debug1 (0x0E28)

Содержит отладочную информацию.

* + 1. Регистр MAC1 Debug2 (0x0E2C)

Содержит отладочную информацию.

* + 1. Регистр MAC1 RxErrors0 (0x0E30)

Содержит статистические 8-разрядные счётчики ошибок приёма порта 1. Счётчик инкрементируется в конце пакета, если соответствующая ошибка детектирована. По достижении значения 0xFF счёт прекращается. Счётчик очищается записью любого значения в соответствующий байт.

Формат регистра приведен в таблице 3.154.

Таблица 3.154 - Формат регистра *MAC1 RxErrors0*

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | CrcErrCounter[7:0]  Количество пакетов с неправильным FCS (CRC). | 0x00 | чтение | Чтение |
| 15:8 | DbErrCounter[7:0]  Количество пакетов с дополнительным полубайтом. | 0x00 | чтение | Чтение |
| 23:16 | BigErrCounter[7:0]  Количество слишком длинных (обрезанных) пакетов. | 0x00 | чтение | Чтение |
| 31:24 | MiiErrCounter[7:0]  Количество пакетов, при приёме которых был детектирован сигнал MII\_RX\_ER. | 0x00 | чтение | Чтение |

* + 1. Регистр MAC1 RxErrors1 (0x0E34)

Содержит статистические 8-разрядные счётчики ошибок приёма порта 1. Счётчик инкрементируется в конце пакета, если соответствующая ошибка детектирована. По достижении значения 0xFF счёт прекращается. Счётчик очищается записью любого значения в соответствующий байт.

Формат регистра приведен в таблице 3.155.

Таблица 3.155 - Формат регистра MAC1 RxErrors1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | UndfErrCounter[7:0]  Количество пакетов, при приёме которых случилось неожиданное опустошение RX FIFO. Следует увеличить значение RxFIFOSize. | 0x00 | чтение | Чтение |
| 15:8 | OvrfErrCounter[7:0]  Количество пакетов, при приёме которых случилось переполнение RX FIFO. Теоретически возможно при очень длинных пакетах (много больше 2047 байт). | 0x00 | чтение | Чтение |
| 23:16 | SfdErrCounter[7:0]  Количество пакетов с ошибками в преамбуле (слишком длинная преамбула, детектирован MII\_RX\_ER, получен полубайт не равный 0x5 или 0xd). Нечётное количество полубайт не считается ошибкой (при отсутствии других ошибок). Пакет с ошибками в преамбуле сразу же обрезается. | 0x00 | чтение | Чтение |
| 31:24 | RuntCounter[7:0]  Количество слишком коротких пакетов (длина меньше 64 байт). Не считается ошибкой и не инкрементирует другие счётчики ошибок. | 0x00 | чтение | Чтение |

* + 1. Регистр MILDC Config (0x0E38)

Предназначен для включения и настройки механизма Конфигурации и Управления Связью.

Формат регистра приведен в таблице 3.156.

Таблица 3.156 - Формат регистра ESC MILDC Config

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | MIILinkDetEnable all ports  1 – механизм MILDC включён для всех портов  0 – механизм MILDC включается для каждого порта индивидуально с помощью разрядов 11:8 этого регистра | 1 | чтение/  запись | чтение/  запись |
| 1 | adr\_discovery\_en  1 разрешает автоматическое обнаружение микросхем PHY, подсоединённых к интерфейсу MI MII и определение их физического адреса. Этот разряд должен быть установлен до или вместе с установкой в 1 разрядов 0 и/или 11-8, т.к. обнаружение происходит один раз при включении механизма MILDC. *Результат обнаружения зависит от того, является интерфейс MI MII общим для всех портов или каждый порт оборудован собственным интерфейсом.*  0 запрещает автоматическое обнаружение PHY, но не влияет на сам механизм MILDC. | 1 | чтение/  запись | чтение/  запись |
| 2 | common\_mi  1 – интерфей MI MII является общим для всех портов и объединяет все микросхемы PHY. В этом случае в качестве общего интерфейса MI следует использовать только интерфейс порта 0. *Если взведён разряд 1, то механизм автоматического обнаружения PHY «опрашивает» все адреса PHY (0-31) и, если есть отклик, взводит разряд регистра 0x0E40. Номер разряда соответствует адресу «откликнувшегося» PHY. Это режим scan механизма MILDC.*  *Не рекомендуется к использованию, т.к. автоматическое определение и назначение адреса PHY не возможно.*  0 – каждый порт оснащён собственным интерфейсом MI MII. К каждому порту должна быть подсоединена только одна микросхема PHY. *Если взведён разряд 1, то механизм автоматического обнаружения PHY начинает «опрашивать» все адреса PHY, начиная с 1 и, если есть отклик, то записывает адрес первого же «откликнувшегося» PHY в регисты 0x0E3C[4:0](для порта 0), 0x0E3C[20:15](для порта 1), 0x0E84[4:0](для порта 2), 0x0E84[20:15](для порта 3), после чего опрос прекращается. Это режим discovery механизма MILDC.* | 0 | чтение/  запись | чтение/  запись |
| 3 | common\_reset  1 – выходной сигнал phy\_reset является общим для всех микросхем PHY  0 – каждый порт оснащён собственным выходным сигналом phy\_reset. | 0 | чтение/  запись | чтение/  запись |
| 7:4 | polling\_interval[3:0]  Задаёт время между циклами чтения статусного регистра PHY в режиме link-monitoring механизма MILDC:  0000: 0 (непрерывный опрос)  0001: 1 мкс  0010: 2 мкс  0011: 4 мкс  0100: 8 мкс  0101: 16 мкс  0110: 32 мкс  0111: 64 мкс  1000: 128 мкс  1001: 256 мкс  1010: 512 мкс  1011: 1 мс  1100: 2 мс  1101: 4 мс  1110: 8 мс  1111: 16 мс | 0111 |  |  |
| 8 | 1 – механизм MILDC включён для порта 0  0 – механизм MILDC выключен для порта 0 |  |  |  |
| 9 | 1 – механизм MILDC включён для порта 1  0 – механизм MILDC выключен для порта 1 |  |  |  |
| 10 | 1 – механизм MILDC включён для порта 2  0 – механизм MILDC выключен для порта 2 |  |  |  |
| 11 | 1 – механизм MILDC включён для порта 3  0 – механизм MILDC выключен для порта 3 |  |  |  |
| 31:10 | Зарезервировано |  |  |  |

* + 1. Регистр ESC Ports Config (0x0E3C)

Предназначен для настройки режимов работы портов.

Формат регистра приведен в таблице 3.157.

Таблица 3.157 - Формат регистра ESC Ports Config

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 4:0 | port0\_adr\_reg  Физический адрес PHY порта 0. Используется, если indpnd\_PHY\_addresses=1.  Автоматически обновляется, если разрешён механизм MILDC порта 0 и adr\_discovery\_en=1 и common\_mi=0. | 1 | чтение/  запись | чтение/  запись |
| 7:5 | Зарезервировано | 1 | чтение | чтение |
| 8 | port0\_FX\_mode  1 – «оптический» режим работы порта 0.  *В этом режиме:*  *1. Механизм MILDC конфигурирует PHY с запрещённой автонегоциацией и жёстко установленной скоростью 100Мбит/с, полный дуплекс. 2. Механизм Enhanced Link Detection (ELD) в случае обнаружения потери link активирует сигнал* *phy\_reset (если common\_reset=0) или запрашивает сброс PHY посредством записи в контрольный регистр (если common\_reset=1). Режим с общим синалом reset не рекомендуется, т.к. программный сброс порта не гарантирует надёжный сброс/восстановление link.*  0 – TX-режим работы порта 0.  *В этом режиме:*  *1. Механизм MILDC конфигурирует PHY с разрешённой автонегоциацией и поддержкой только режима 100Мбит/с, полный дуплекс. 2. Механизм Enhanced Link Detection (ELD) в случае обнаружения потери link запрашивает рестарт процесса автонециации.* | 0 | чтение/  запись | чтение/  запись |
| 9 | port0\_link\_test\_mode  1 разрешает тестовый режим определения наличия link порта 0 (0x0110[9]). В этом режиме сигнал MII0\_LINK не используетя, а используется только результат обнаружения link механизмами MILDC и ELD, если они включены. Если оба механизма выключены, то link считается установленным перманентно. | 0 | чтение/  запись | чтение/  запись |
| 10 | port0\_link\_pol  Задаёт полярность сигнала MII0\_LINK.  Должен быть установлен в 1, если полярность MII0\_LINK положительная. Должен быть установлен в 0 в противном случае. | 0 |  |  |
| 15:11 | Зарезервировано |  | чтение | чтение |
| 20:16 | port1\_adr\_reg  Физический адрес PHY порта 1. Используется, если indpnd\_PHY\_addresses=1.  Автоматически обновляется, если разрешён механизм MILDC порта 1 и adr\_discovery\_en=1 и common\_mi =0. | 1 | чтение/  запись | чтение/  запись |
| 23:21 | Зарезервировано | 1 | чтение | чтение |
| 24 | port1\_FX\_mode  1 – «оптический» режим работы порта 1.  0 – обычный режим работы порта 1. | 0 | чтение/  запись | чтение/  запись |
| 25 | Port1\_link\_test\_mode  1 разрешает тестовый режим определения наличия link порта 1. | 0 | чтение/  запись | чтение/  запись |
| 26 | port1\_link\_pol  Задаёт полярность сигнала MII1\_LINK.  Должен быть установлен в 1, если полярность MII1\_LINK положительная. Должен быть установлен в 0 в противном случае. | 0 |  |  |
| 31:27 | Зарезервировано |  | чтение | чтение |

* + 1. Регистр MILDC PHY Scan Result (0x0E40)

Содержит карту адресов PHY, обнаруженных в режиме scan механизма MILDC (MILDC включён, common\_mi==1, adr\_discovery\_en==1). Номер разряда, имеющего значение 1, соответствует адресу «откликнувшегося» PHY.

* + 1. Регистр Port0 MILDC Status (0x0E44)

Содержит текущее состояние механизма Конфигурации и Управления Связью порта 0.

Формат регистра приведен в таблице 3.159.

Таблица 3.159 - Формат регистра Port0 MILDC Status

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | MILDC0\_running  Механизм разрешён и работает | 0 | чтение | чтение |
| 1 | MILDC0\_error  Механизм разрешён, но остановлен из-за ошибки. Например, если adr\_discovery\_en=0 и порту назначили | 0 | чтение | чтение |
| 2 | MILDC0\_discovering  Механизм находится в фазе автоматического обнаружения PHY. | 0 | чтение | чтение |
| 3 | MILDC0\_configuring  Механизм находится в фазе конфигурирования PHY | 0 | чтение | чтение |
| 4 | MILDC0\_monitoring  Механизм находится в фазе слежения за link (периодическое чтение статусного регистра PHY) | 0 | чтение | чтение |
| 5 | Port0\_PHY\_discovering completed  Если равен 1, автоматическое обнаружение PHY было разрешено и успешно завершилось. По результатам обновлены регистры port0\_adr\_reg или PHY Scan Result. | 0 |  |  |
| 31:6 | Информация о внутреннем состоянии механизма MILDC0 | 0x0 | чтение | чтение |

* + 1. Регистр Port0 MILDC Debug (0x0E48)

Содержит отладочную информацию о внутреннем состоянии механизма Конфигурации и Управления Связью порта 0.

* + 1. Регистр Port1 MILDC Status (0x0E4С)

Содержит текущее состояние механизма Конфигурации и Управления Связью порта 1.

Формат регистра приведен в таблице 3.161.

Таблица 3.161 - Формат регистра Port1 MILDC Status

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | MILDC1\_running  Механизм разрешён и работает | 0 | чтение | чтение |
| 1 | MILDC1\_error  Механизм разрешён, но остановлен из-за ошибки. Например, если adr\_discovery\_en=0 и порту назначили | 0 | чтение | чтение |
| 2 | MILDC1\_discovering  Механизм находится в фазе автоматического обнаружения PHY. | 0 | чтение | чтение |
| 3 | MILDC1\_configuring  Механизм находится в фазе конфигурирования PHY | 0 | чтение | чтение |
| 4 | MILDC1\_monitoring  Механизм находится в фазе слежения за link (периодическое чтение статусного регистра PHY) | 0 | чтение | чтение |
| 5 | Port1\_PHY\_discovering completed  Если равен 1, автоматическое обнаружение PHY было разрешено и успешно завершилось. По результатам обновлен регистр port1\_adr\_reg (регистр PHY Scan Result обновляется только портом 0). | 0 |  |  |
| 31:6 | Информация о внутреннем состоянии механизма MILDC1 | 0x0 | чтение | чтение |

* + 1. Регистр Port1 MILDC Debug (0x0E50)

Содержит отладочную информацию о внутреннем состоянии механизма Конфигурации и Управления Связью порта 1.

* + 1. Регистр EEPROM USER DEFINED REGS (0x0E54)

Регистр управления конфигурацией пользовательских регистров из ППЗУ.

Таблица 3.163 – Формат регистра EEPROM USER DEFINED REGS

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 31:16 | Адрес | 0x400 | чтение/ запись | чтение/ запись |
| 15:9 | Зарезервировано | 0 |  |  |
| 8 | Флаг окончания процесса конфигурации из дополнительной области в ППЗУ. | 0 | чтение/ сброс | чтение/ сброс |
| 7:1 | Зарезервировано | 0 |  |  |
| 0 | Запись «1» в данный разряд начинает процесс конфигурации из дополнительной области в ППЗУ. Разряд сбрасывается после записи. | 0 | чтение/ запись | чтение/ запись |

* + 1. Регистр EEPROM DEBUG (0x0E58)

Регистр отладки контроллера EEPROM.

Таблица 3.164 – Формат регистра EEPROM DEBUG

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 31 | Сброс контоллера EEPROM  0 – контроллер EEPROM работает  1 – контроллер EEPROM в состоянии сброса | 0 | чтение/ запись | чтение/ запись |
| 30 | Таймаут на шине I2C. | 0 | чтение/ сброс | чтение/ сброс |
| 29:0 | Статус контролера EEPROM. Зарезервировано. | 0 | чтение | чтение |

* + 1. Регистр DPRAM DEBUG (0x0E5C)

Регистр отладки PROCESS RAM.

Таблица 3.165 – Формат регистра DPRAM DEBUG

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 31:2 | Зарезервировано | 0 | чтение | чтение |
| 1 | DPRAM ERR RESPONSE  Зарезервировано | 0 | чтение/ запись | чтение/ запись |
| 0 | DPRAM ACCESS. Зарезервировано. | 0 | чтение/ запись | чтение/ запись |

### Регистр MAC Configuration2 (0x0E60)

Формат регистра приведен в таблице 3.166.

Таблица 3.166 - Формат регистра *MAC Configuration2*

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 1:0 | tx\_shift\_mac2[1:0]  ручной сдвиг сигналов MII \_TX порта 2:   |  | | --- | | 00: 0°  01: 90°  10: 180°  11: 270° | | 00 | чтение/  запись | чтение/  запись |
| 2 | tx\_shift\_auto\_mac2  автоматический сдвиг сигналов MII\_TX порта 2:  0 – запрещён, используется ручной сдвиг  1 – разрешён, значение tx\_shift\_mac2[1:0] не имеет значения | 1 |
| 4:3 | tx\_shift\_mac3[1:0]  ручной сдвиг сигналов MII\_TX порта3:   |  | | --- | | 00: 0°  01: 90°  10: 180°  11: 270° | | 00 |
| 5 | tx\_shift\_auto\_mac3  автоматический сдвиг сигналов MII\_TX порта 3:  0 – запрещён, используется ручной сдвиг  1 – разрешён, значение tx\_shift\_mac3[1:0] не имеет значения | 1 |
| 6 | RMII\_mode\_mac2  Выбирает режим работы порта 2 - MII или RMII, если порт не настроен на режим EBUS (разряд 14)  0 - порт 2 работает в режиме MII  1 - порт 2 работает в режиме RMII | 0 |
| 7 | RMII\_mode\_mac3  Выбирает режим работы порта 3 - MII или RMII, если порт не настроен на режим EBUS (разряд 15)  0 - порт 3 работает в режиме MII  1 - порт 3 работает в режиме RMII | 0 |
| 13:8 | Зарезервировано | 0 |
| 14 | EBUS\_mode\_mac2  0 - порт 2 работает в режиме MII/RMII  1 - порт 2 работает в режиме EBUS | 0 |
| 15 | EBUS\_mode\_mac3  0 - порт 3 работает в режиме MII/RMII  1 - порт 3 работает в режиме EBUS | 0 |
| 23:16 | Зарезервировано | 0 |
| 31:24 | Зарезервировано | 0 |  |  |

* + 1. Регистр MAC2 RxErrors0 (0x0E64)

Содержит статистические 8-разрядные счётчики ошибок приёма порта 2. Счётчик инкрементируется в конце пакета, если соответствующая ошибка детектирована. По достижении значения 0xFF счёт прекращается. Счётчик очищается записью любого значения в соответствующий байт.

Формат регистра приведен в таблице 3.167.

Таблица 3.167 - Формат регистра *MAC2 RxErrors0*

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | CrcErrCounter[7:0]  Количество пакетов с неправильным FCS (CRC). | 0x00 | чтение | Чтение |
| 15:8 | DbErrCounter[7:0]  Количество пакетов с дополнительным полубайтом. | 0x00 | чтение | Чтение |
| 23:16 | BigErrCounter[7:0]  Количество слишком длинных (обрезанных) пакетов. | 0x00 | чтение | Чтение |
| 31:24 | MiiErrCounter[7:0]  Количество пакетов, при приёме которых был детектирован сигнал MII\_RX\_ER. | 0x00 | чтение | Чтение |

* + 1. Регистр MAC2 RxErrors1 (0x0E68)

Содержит статистические 8-разрядные счётчики ошибок приёма порта 2. Счётчик инкрементируется в конце пакета, если соответствующая ошибка детектирована. По достижении значения 0xFF счёт прекращается. Счётчик очищается записью любого значения в соответствующий байт.

Формат регистра приведен в таблице 3.168.

Таблица 3.168 - Формат регистра *MAC2 RxErrors1*

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | UndfErrCounter[7:0]  Количество пакетов, при приёме которых случилось неожиданное опустошение RX FIFO. Следует увеличить значение RxFIFOSize. | 0x00 | чтение | Чтение |
| 15:8 | OvrfErrCounter[7:0]  Количество пакетов, при приёме которых случилось переполнение RX FIFO. Теоретически возможно при очень длинных пакетах (много больше 2047 байт). | 0x00 | чтение | Чтение |
| 23:16 | SfdErrCounter[7:0]  Количество пакетов с ошибками в преамбуле (слишком длинная преамбула, детектирован MII\_RX\_ER, получен полубайт не равный 0x5 или 0xd). Нечётное количество полубайт не считается ошибкой (при отсутствии других ошибок). Пакет с ошибками в преамбуле сразу же обрезается. | 0x00 | чтение | Чтение |
| 31:24 | RuntCounter[7:0]  Количество слишком коротких пакетов (длина меньше 64 байт). Не считается ошибкой и не инкрементирует другие счётчики ошибок. | 0x00 | чтение | Чтение |

### Регистр MAC2 Debug1 (0x0E6C)

Содержит отладочную информацию.

* + 1. Регистр MAC2 Debug2 (0x0E70)

Содержит отладочную информацию.

* + 1. Регистр MAC3 Debug1 (0x0E74)

Содержит отладочную информацию.

* + 1. Регистр MAC3 Debug2 (0x0E78)

Содержит отладочную информацию.

* + 1. Регистр MAC3 RxErrors0 (0x0E7C)

Содержит статистические 8-разрядные счётчики ошибок приёма порта 3. Счётчик инкрементируется в конце пакета, если соответствующая ошибка детектирована. По достижении значения 0xFF счёт прекращается. Счётчик очищается записью любого значения в соответствующий байт.

Формат регистра приведен в таблице 3.173.

Таблица 3.173 - Формат регистра *MAC3 RxErrors0*

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | CrcErrCounter[7:0]  Количество пакетов с неправильным FCS (CRC). | 0x00 | чтение | Чтение |
| 15:8 | DbErrCounter[7:0]  Количество пакетов с дополнительным полубайтом. | 0x00 | чтение | Чтение |
| 23:16 | BigErrCounter[7:0]  Количество слишком длинных (обрезанных) пакетов. | 0x00 | чтение | Чтение |
| 31:24 | MiiErrCounter[7:0]  Количество пакетов, при приёме которых был детектирован сигнал MII\_RX\_ER. | 0x00 | чтение | Чтение |

* + 1. Регистр MAC3 RxErrors1 (0x0E80)

Содержит статистические 8-разрядные счётчики ошибок приёма порта 3. Счётчик инкрементируется в конце пакета, если соответствующая ошибка детектирована. По достижении значения 0xFF счёт прекращается. Счётчик очищается записью любого значения в соответствующий байт.

Формат регистра приведен в таблице 3.174.

Таблица 3.174 - Формат регистра *MAC3 RxErrors1*

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 7:0 | UndfErrCounter[7:0]  Количество пакетов, при приёме которых случилось неожиданное опустошение RX FIFO. Следует увеличить значение RxFIFOSize. | 0x00 | чтение | Чтение |
| 15:8 | OvrfErrCounter[7:0]  Количество пакетов, при приёме которых случилось переполнение RX FIFO. Теоретически возможно при очень длинных пакетах (много больше 2047 байт). | 0x00 | чтение | Чтение |
| 23:16 | SfdErrCounter[7:0]  Количество пакетов с ошибками в преамбуле (слишком длинная преамбула, детектирован MII\_RX\_ER, получен полубайт не равный 0x5 или 0xd). Нечётное количество полубайт не считается ошибкой (при отсутствии других ошибок). Пакет с ошибками в преамбуле сразу же обрезается. | 0x00 | чтение | Чтение |
| 31:24 | RuntCounter[7:0]  Количество слишком коротких пакетов (длина меньше 64 байт). Не считается ошибкой и не инкрементирует другие счётчики ошибок. | 0x00 | чтение | Чтение |

### Регистр ESC Ports Config2 (0x0E84)

Предназначен для настройки режимов работы портов 2 и 3.

Формат регистра приведен в таблице 3.175.

Таблица 3.175 - Формат регистра *ESC Ports Config*

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 4:0 | port2\_adr\_reg  Физический адрес PHY порта 2. Используется, если indpnd\_PHY\_addresses=1.  Автоматически обновляется, если разрешён механизм MILDC порта 2 и adr\_discovery\_en=1 и common\_mi=0. | 0x2 | чтение/  запись | чтение/  запись |
| 7:5 | Зарезервировано | 0 | чтение | чтение |
| 8 | port2\_FX\_mode  1 – «оптический» режим работы порта 0.  *В этом режиме:*  *1. Механизм MILDC конфигурирует PHY с запрещённой автонегоциацией и жёстко установленной скоростью 100Мбит/с, полный дуплекс. 2. Механизм Enhanced Link Detection (ELD) в случае обнаружения потери link активирует сигнал* *phy\_reset (если common\_reset=0) или запрашивает сброс PHY посредством записи в контрольный регистр (если common\_reset=1). Режим с общим синалом reset не рекомендуется, т.к. программный сброс порта не гарантирует надёжный сброс/восстановление link.*  0 – TX-режим работы порта 0.  *В этом режиме:*  *1. Механизм MILDC конфигурирует PHY с разрешённой автонегоциацией и поддержкой только режима 100Мбит/с, полный дуплекс. 2. Механизм Enhanced Link Detection (ELD) в случае обнаружения потери link запрашивает рестарт процесса автонециации.* | 0 | чтение/  запись | чтение/  запись |
| 9 | port2\_link\_test\_mode  1 разрешает тестовый режим определения наличия link порта 0 (0x0110[13]). В этом режиме сигнал MII2\_LINK не используетя, а используется только результат обнаружения link механизмами MILDC и ELD, если они включены. Если оба механизма выключены, то link считается установленным перманентно. | 0 | чтение/  запись | чтение/  запись |
| 10 | port2\_link\_pol  Задаёт полярность сигнала MII2\_LINK.  Должен быть установлен в 1, если полярность MII2\_LINK положительная. Должен быть установлен в 0 в противном случае. | 0 |  |  |
| 15:11 | Зарезервировано |  | чтение | чтение |
| 20:16 | port3\_adr\_reg  Физический адрес PHY порта 3. Используется, если indpnd\_PHY\_addresses=1.  Автоматически обновляется, если разрешён механизм MILDC порта 3 и adr\_discovery\_en=1 и common\_mi =0. | 0x3 | чтение/  запись | чтение/  запись |
| 23:21 | Зарезервировано | 0 | чтение | чтение |
| 24 | port3\_FX\_mode  1 – «оптический» режим работы порта 1.  0 – обычный режим работы порта 1. | 0 | чтение/  запись | чтение/  запись |
| 25 | port3\_link\_test\_mode  1 разрешает тестовый режим определения наличия link порта 3. | 0 | чтение/  запись | чтение/  запись |
| 26 | port3\_link\_pol  Задаёт полярность сигнала MII3\_LINK.  Должен быть установлен в 1, если полярность MII3\_LINK положительная. Должен быть установлен в 0 в противном случае. | 0 |  |  |
| 31:27 | Зарезервировано |  | чтение | чтение |

### Регистр Port2 MILDC Status (0x0E88)

Содержит текущее состояние механизма Конфигурации и Управления Связью порта 2.

Формат регистра приведен в таблице 3.176.

Таблица 3.176 - Формат регистра *Port2 MILDC Status*

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | MILDC2\_running  Механизм разрешён и работает | 0 | чтение | чтение |
| 1 | MILDC2\_error  Механизм разрешён, но остановлен из-за ошибки. Например, если adr\_discovery\_en=0 и порту назначили | 0 | чтение | чтение |
| 2 | MILDC2\_discovering  Механизм находится в фазе автоматического обнаружения PHY. | 0 | чтение | чтение |
| 3 | MILDC2\_configuring  Механизм находится в фазе конфигурирования PHY | 0 | чтение | чтение |
| 4 | MILDC2\_monitoring  Механизм находится в фазе слежения за link (периодическое чтение статусного регистра PHY) | 0 | чтение | чтение |
| 5 | Port2\_PHY\_discovering completed  Если равен 1, автоматическое обнаружение PHY было разрешено и успешно завершилось. По результатам обновлены регистры port2\_adr\_reg или PHY Scan Result. | 0 |  |  |
| 31:6 | Информация о внутреннем состоянии механизма MILDC2 | 0x0 | чтение | чтение |

* + 1. Регистр Port2 MILDC Debug (0x0E8C)

Содержит отладочную информацию о внутреннем состоянии механизма Конфигурации и Управления Связью порта 2.

* + 1. Регистр Port3 MILDC Status (0x0E90)

Содержит текущее состояние механизма Конфигурации и Управления Связью порта 3.

Формат регистра приведен в таблице 3.178.

Таблица 3.178 - Формат регистра *Port3 MILDC Status*

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | MILDC3\_running  Механизм разрешён и работает | 0 | чтение | чтение |
| 1 | MILDC3\_error  Механизм разрешён, но остановлен из-за ошибки. Например, если adr\_discovery\_en=0 и порту назначили | 0 | чтение | чтение |
| 2 | MILDC3\_discovering  Механизм находится в фазе автоматического обнаружения PHY. | 0 | чтение | чтение |
| 3 | MILDC3\_configuring  Механизм находится в фазе конфигурирования PHY | 0 | чтение | чтение |
| 4 | MILDC3\_monitoring  Механизм находится в фазе слежения за link (периодическое чтение статусного регистра PHY) | 0 | чтение | чтение |
| 5 | Port3\_PHY\_discovering completed  Если равен 1, автоматическое обнаружение PHY было разрешено и успешно завершилось. По результатам обновлен регистр port3\_adr\_reg (регистр PHY Scan Result обновляется только портом 0). | 0 |  |  |
| 31:6 | Информация о внутреннем состоянии механизма MILDC3 | 0x0 | чтение | чтение |

* + 1. Регистр Port3 MILDC Debug (0x0E94)

Содержит отладочную информацию о внутреннем состоянии механизма Конфигурации и Управления Связью порта 3.

* + 1. EBUS link up control (0x0E98)

Содержит параметры определения наличия связи интерфейса EBUS. Часть механизма *Standard EBUS Link Detection.*

Формат регистра приведен в таблице 3.179.

Таблица 3.179 - Формат регистра EBUS link up control

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | link\_up\_time  Временной интервал определения наличия link, 10\*мкс | 0x2 | чтение/  запись | чтение/  запись |
| 31:16 | link\_up\_threshold  Минимальное количество «хороших» событий за время link\_up\_time: если их больше, то линк установлен | 0x400 | чтение/  запись | чтение/  запись |

### EBUS link down control (0x0E9С)

Содержит параметры определения потери связи интерфейса EBUS. Часть механизма *EBUS Link Detection.*

Формат регистра приведен в таблице 3.180.

Таблица 3.180 - Формат регистра EBUS link up control

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | link\_down\_time  Временной интервал определения потери link, 10\*мкс | 0x1 | чтение/  запись | чтение/  запись |
| 31:16 | link\_down\_threshold  Максимальное количество «хороших» событий за время link\_down\_time: если их меньше, то линк потерян | 0x200 | чтение/  запись | чтение/  запись |

### EBUS error link down control (0x0EA0)

Содержит параметры определения потери связи интерфейса EBUS. Часть механизма *Enhanced EBUS Link Detection.*

Формат регистра приведен в таблице 3.181.

Таблица 3.181 - Формат регистра EBUS error link down control

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 15:0 | link\_err\_time  Временной интервал определения потери link, 10\*мкс | 0x1 | чтение/  запись | чтение/  запись |
| 31:16 | link\_err\_threshold  Минимальное количество «плохих» событий за время link\_down\_time: если их больше, то линк потерян | 0x20 | чтение/  запись | чтение/  запись |

### EBUS Enhanced Link Detection (0x0EA4)

Содержит параметры механизма *Enhanced EBUS Link Detection*. Формат регистра приведен в таблице 3.182.

Таблица 3.182 - Формат регистра EBUS error link down control

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 0 | EELD\_Enable  1 разрешает механизм *Enhanced EBUS Link Detection* | 0x1 | чтение/  запись | чтение/  запись |
| 1 | EERR\_Enable  1 разрешает механизм подсчёта «плохих» событий для определения потери линка независимо от EELD\_Enable | 0x1 | чтение/  запись | чтение/  запись |

* + 1. Буфер User RAM (0x0F80:0x0FFF)

Формат ячеек буфера приведен в таблице 3.183.

Таблица 3.183 - Формат ячеек буфера User RAM

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Разряды | Описание | Состояние после сброса | Атрибут доступа | |
| ECAT | PDI |
| 31:0 | Данные User RAM |  | чтение/ запись | чтение/ запись |

* + 1. Буфер Process RAM (0x1000:0x2BFF)

В буфер помещаются данные для обмена между Ведущим ECAT и процессором (PDI). Данные для размещения или считывания через интерфейс ECAT перенаправляются через блок FMMU, блок SynManager в соответствии с их настройками, а также непосредственно, минуя эти блоки.

Процессор записывает в буфер и считывает данные из буфера без каких-либо преобразований, используя интерфейс PDI.

# Дополнительная информация

## Рекомендуемая схема подключения PHY к ESC в режиме MII

На рисунке приведена рекомендованная схема подключения микросхем PHY к портам контроллера ESC, работающего в режиме MII (RMII\_mode\_macX=0). Контроллер сконфигурирован так, что каждый порт имеет свой интерфейс MI (common\_mi=0) и свой сигнал сброса PHY (commpon\_reset=0).

Использование согласующих последовательных резисторов в линиях MII – в соответствии с документацией на PHY (на рисунке не показаны);

Использование подтягивающего резистора на линиях mii\_mdio обязательно.

* 1. Возможная схема подключения PHY к ESC в режиме MII

На рисунке приведена возможная схема подключения микросхем PHY к портам контроллера ESC, работающего в режиме MII (RMII\_mode\_macX=0). Контроллер сконфигурирован так, что порты имеют общий интерфейс MI (common\_mi=1) и общий сброса PHY (commpon\_reset=1). Такая схема не рекомендуется, т.к. с общим сигналом reset невозможно эффективно использовать Enhanced Link Detection в FX-mode. А с общим MI невозможно автоматическое определение и назначение адреса PHY.

* 1. Рекомендуемая схема подключения PHY к ESC в режиме RMII

На рисунке приведена рекомендованная схема подключения микросхем PHY к портам контроллера ESC, работающего в режиме RMII. **Внимание:** **на рисунке контроллер сконфигурирован так, что все его порты настроены на режим RMII, т.е. регистры RMII\_mode\_mac0,1,2,3 все равны 1**. Только в этом режиме выходной тактовый сигнал CLK\_REF\_OUT имеет частоту 50 МГц. Если хотя бы один порт(X) находится не в RMII-режиме (RMII\_mode\_macX=0), то CLK\_REF\_OUT имеет частоту 25 МГц. В этом случае для портов, находящихся в режиме RMII, следует использовать внешний тактовый сигнал 50МГц (CLK\_REF\_OUT использовать нельзя, а все остальные сигналы подключаются так же как на рисунке ).

На рисунке контроллер сконфигурирован так, что каждый порт имеет свой интерфейс MI (common\_mi=0) и свой сигнал сброса PHY (commpon\_reset=0). Сигнал RX\_ER микросхемы PHY не является обязательным и может отсутствовать для конкретной модели PHY. В этом случае входной сигнал MII\_RX\_ER контроллера ESC следует подтянуть в неактивное состояние (низкое). Для настроек контроллера ESC, сконфигурированого с общим сбросом PHY и/или общим MI схема подключения аналогична режиму MII, т.е. используется MI и RESET\_PHY только порта 0.



Рисунок 4.1 - Рекомендуемая схема подключения PHY (режим MII)



Рисунок 4.2 - Возможная схема подключения PHY



Рисунок 4.3 - Рекомендуемая схема подключения PHY (режим RMII)

Лист регистрации изменений

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Изм. | Номера листов (страниц) | | | | Всего листов (страниц) в докум. | №  докум. | Входящий № сопроводитель–ного документа и дата | Подп. | Дата |
| изме–ненных | заме–ненных | новых | аннули–рован–ных |
| 1 |  | все |  |  |  | ЮКСУ.  Н015-2021 |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |